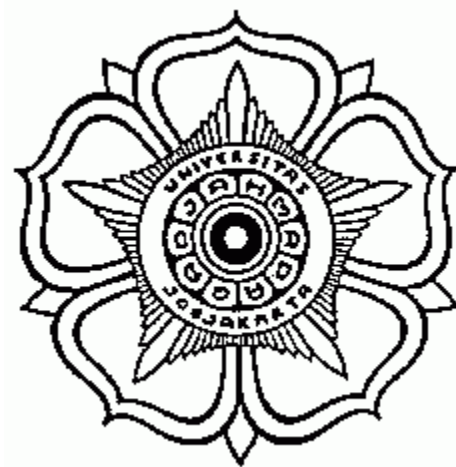


# **PEMBANGKIT SINYAL PWM SINUSOIDA DUA FASA BERBASIS FPGA**

Tesis

untuk memenuhi sebagian persyaratan  
Mencapai derajat Sarjana S-2

Program Studi Teknik Elektro  
Jurusan Ilmu-ilmu Teknik



diajukan oleh

Tole Sutikno

14923/I-1/1447/00

Kepada

**PROGRAM PASCASARJANA  
UNIVERSITAS GADJAH MADA  
JOGJAKARTA**

**2004**

Tesis

**PEMBANGKIT SINYAL PWM SINUSOIDA DUA FASA  
BERBASIS FPGA**

dipersiapkan dan disusun oleh

Tole Sutikno

14923/I-1/1447/00

telah dipertahankan di depan Dewan Penguji

**Susunan Dewan Penguji**

Pembimbing Utama

Anggota Dewan Penguji Lain

Ir. Bambang Sutopo, M.Phil.

Ir. Litasari, M.Sc.

Pembimbing Pendamping

Dr. Ir. Thomas Sri Widodo, DEA

Ir. Risanuri, M.Sc.

Tesis ini telah diterima sebagai salah satu persyaratan  
untuk memperoleh gelar Magister

Tanggal 23 Agustus 2004

Dr. Ir. Tumiran, M.Eng.  
Pengelola Program Studi Teknik Elektro

## PERNYATAAN

Dengan ini saya menyatakan bahwa dalam tesis ini tidak terdapat karya yang pernah diajukan untuk memperoleh gelar kesarjanaan di suatu Perguruan Tinggi, dan sepanjang pengetahuan saya juga tidak terdapat karya atau pendapat yang pernah ditulis atau diterbitkan oleh orang lain, kecuali yang secara tertulis diacu dalam naskah ini dan disebutkan dalam daftar pustaka

Jogjakarta, 16 Agustus 2004

Tole Sutikno

Tanda tangan dan nama terang

## **HALAMAN PERSEMBAHAN**

**Tesis ini Penulis persembahkan untuk :**

- ☒ Isteriku tersayang, Lina Handayani
- ☒ Putriku yang manis, Asa Ismia Bunga Aisyahrani
- ☒ Bapak/Ibu Sokran/Sutami
- ☒ Mas Kacung PW dan Mbak Wiwik

## **PRAKATA**

Sungguh suatu anugerah yang luar biasa, sehingga Tesis dengan judul “Pembangkit Sinyal PWM Sinusoida Dua Fasa Berbasis FPGA” ini akhirnya dapat Penulis susun dan selesaikan. Segala puji bagi Allah SWT atas segala rahmat dan hidayah yang senantiasa tercurah. Tesis ini disusun untuk memenuhi salah satu syarat untuk menyelesaikan program pendidikan S-2 di Program Studi Teknik Elektro, Jurusan Ilmu-ilmu Teknik, Program Pascasarjana Universitas Gadjah Mada, Jogjakarta.

Pada kesempatan ini, dengan segala keikhlasan dan kerendahan hati, Penulis menyampaikan banyak terima kasih kepada:

1. Bapak Ir. Bambang Sutopo, M.Phil., Selaku Pembimbing Utama yang telah banyak meluangkan waktu, memberikan banyak perhatian dan arahan yang tegas serta warna yang lain dalam pembimbingan dari awal hingga akhir sehingga Penulis mempunyai pemahaman dunia elektro yang baru.
2. Bapak Ir. F. Soesianto, B.Sc.E, Ph.D., Bapak Ir. Tumiran, M.Eng, Ph.D., dan Ir. Litasari, M.Sc, selaku pengelola Program Studi Teknik Elektro, Jurusan Ilmu-ilmu Teknik, Program Pascasarjana Universitas Gadjah Mada.
3. Bapak Dr. Ir. Thomas Sri Widodo, DEA selaku Pembimbing Pendamping dengan kesabarannya dalam membantu dan memberikan saran dalam proses pembuatan tesis ini.
4. Isteriku tercinta, Lina Handayani, SKM dan Putriku Asa Ismia Bunga Aisyahrani yang manis dan cerdas, atas dukungannya yang riil dan setia.

5. Ibu/Bapakku Sutami/Sokran yang senantiasa mengiringi setiap langkahku dengan do'a dan kasihnya. Ibu/Bapak Mertua dan keluarga di Banyumas atas do'a dan pengertiannya.
6. Mas/Mbakku Drs. Kacung Purwanto/Wiwik atas segala dukungan yang diberikan.
7. Ir. Agung Warsito, DHET dan Ir. Imam Soewadi, Dipl. HE, atas dukungan yang diberikan untuk menempuh S2.
8. Drs. Muchlas, MT selaku pribadi, sesepuh dan selaku Dekan FTI Universitas Ahmad Dahlan yang sudah seperti Bapak bagi Penulis, atas semua dukungannya terutama saat mempertahankan keberadaan Penulis untuk tetap dapat di Universitas Ahmad Dahlan.
9. Drs. Sugiyanto, S.U., Ph.D., Apt., selaku Rektor Universitas Ahmad Dahlan atas segala kebijakannya.
10. Drs. Widodo, M.Si, selaku Pembantu Rektor I, dan juga Dekan FTI UAD periode sebelum ini atas segala kesabarannya.
11. Drs. Soebardjo, SH, M.Hum, selaku Pembantu Rektor II UAD atas segala bantuannya. Tak lupa segenap jajaran rektorat lainnya dan juga dosen/karyawan UAD semua atas penerimaannya yang sangat baik.
12. Teman-temanku seperjuangan, Subiyanto, Pak Jarwo, Pak Rofiq, Andreas, Pak Iyus, Pak Faruq, Mas Kus, Pak Bayu, Pak Iwan Setiawan, Pak Supari, Pak Husni dan teman-teman yang lain.

13. Bu Suning, Agus Bejo, Zaki, Nandra, Esa Ganesha atas semua bantuannya yang tak mungkin Penulis lupakan. Tak lupa Mas Nunglaji, atas bantuannya yang tulus dan teman-teman semua di LIK.
14. Partnerku Wiwiet (Nuryono Satya Widodo, ST, cMT) yang sangat banyak membantu terselesaikannya tesis ini.
15. Semua teman-teman di Elektro Universitas Ahmad Dahlan, Pak Fadlil, Pak Udin, Anton, Dayat, Wahyu, Ikhsan, Sunardi, Pak Kais, Bu Tika dan tak lupa Pak Hariyadi, Ph.D atas sentilan-sentilannya.
16. Para mahasiswaku di T. Elektro UAD yang tidak mendapatkan haknya secara baik karena saya tinggal kuliah dan penyelesain tesis ini.
17. Semua pihak yang ikut membantu terselesaikannya tesis ini, yang tak sempat disebutkan namanya.

Semoga Allah SWT memberikan rahmat dan karunia yang berlipat ganda atas segala bimbingan, bantuan dan motivasinya.

Penulis menyadari bahwa tesis ini masih banyak kekurangan. Namun demikian semoga dapat memberikan manfaat yang besar bagi pengembangan ilmu pengetahuan dan teknologi.

Jogjakarta, 16 Agustus 2004

Penulis

Tole Sutikno

## DAFTAR ISI

	halaman
HALAMAN JUDUL.....	i
HALAMAN PENGESAHAN .....	ii
HALAMAN PERNYATAAN .....	iii
HALAMAN PERSEMBAHAN .....	iv
PRAKATA.....	v
DAFTAR ISI.....	viii
DAFTAR GAMBAR .....	xi
DAFTAR TABEL.....	xiv
DAFTAR LAMPIRAN .....	xv
ARTI LAMBANG DAN SINGKATAN .....	xvi
INTISARI.....	xvii
ABSTRACT.....	xviii
 I. PENGANTAR.....	 1
A. Latar Belakang.....	1
1. Perumusan Masalah.....	4
2. Keaslian Penelitian .....	4
3. Manfaat Penelitian.....	6
B. Tujuan Penelitian.....	6
 II. TINJAUAN PUSTAKA.....	 7
A. Tinjauan Pustaka.....	7
B. Landasan Teori .....	14
1. Peta Karnaugh.....	14
2. Inverter PWM Satu Fasa.....	21
3. Pembangkitan Sinyal PWM Sinusoida Satu Fasa Secara Analog	23
4. Pembangkitan Sinyal PWM Sinusoida Satu Fasa Secara Digital.	27
5. FPGA ( <i>Field Programmable Gate Array</i> ) Xilinx .....	33



6. Perangkat Lunak yang Berhubungan dengan Perancangan n FPGA	34
C. Hipotesis .....	35
D. Rencana Penelitian.....	35
III. CARA PENELITIAN .....	37
A. Bahan atau Materi Penelitian .....	37
B. Alat Penelitian.....	38
C. Jalan Penelitian.....	38
1. Perancangan Pembangkit Sinyal PWM Sinusoida Satu Fasa .....	39
2. Perancangan Pembangkit Sinyal PWM Sinusoida Dua Fasa .....	57
3. Diskripsi Pin Pembangkit Sinyal PWM Sinusoida Dua Fasa Pada FPGA .....	58
D. Kesulitan-Kesulitan.....	59
1. Kesulitan di Awal Penelitian dan Penggunaan Alat Bantu .....	59
2. Kesulitan Ketika Proses Perancangan .....	59
3. Kesulitan Ketika Proses Integrasi.....	60
IV. HASIL PENELITIAN DAN PEMBAHASAN.....	62
A. Simulasi Rancangan.....	62
1. Simulasi Unit Pembagi Frekuensi .....	62
2. Simulasi Unit Pencacah.....	65
3. Simulasi Unit Memori Sinus( $x+0^0$ ) .....	66
4. Simulasi Unit Memori Sinus( $x+90^0$ ) .....	67
5. Simulasi Unit Memori Segitiga .....	67
6. Simulasi Unit Pengali .....	68
7. Simulasi Unit Pembanding .....	69
8. Simulasi Unit Pembuat Tunda .....	70
9. Simulasi Sistem Pembangkit PWM Sinusoida Dua Fasa.....	71
B. Proses Kompilasi Rancangan dan Konfigurasi FPGA .....	72
C. Sinyal PWM Sinusoida Dua Fasa Keluran FPGA .....	73

D.	Pentapisan Sinyal Pembangkit PWM.....	77
E.	Karakteristik Tegangan Keluaran Terhadap Perubahan Indeks Modulasi .....	83
F.	Pengujian Frekuensi Sinyal PWM .....	89
V.	KESIMPULAN DAN SARAN .....	92
A.	Kesimpulan.....	92
B.	Saran.....	93
VI.	RINGKASAN .....	94
A.	Latar Belakang .....	94
B.	Tinjauan Pustaka .....	95
C.	Landasan Teori.....	97
	1. Inverter PWM Satu Fasa.....	97
	2. Pembangkitan Sinyal PWM Sinusoida Satu Fasa Secara Analog	98
	3. Pembangkitan Sinyal PWM Sinusoida Satu Fasa Secara Digital.	100
	4. FPGA ( <i>Field Programmable Gate Array</i> ) Xilinx .....	104
D.	Jalan Penelitian.....	105
E.	Hasil Implementasi Pembangkit Sinyal PWM Dua Fasa dengan FPGA XC4013.....	107
F.	Kesimpulan.....	114
	DAFTAR PUSTAKA .....	116
	LAMPIRAN-LAMPIRAN .....	118

## DAFTAR GAMBAR

	halaman
Gambar 1. Pemetaan <i>minterm</i> pada peta Karnaugh 4 variabel input. ....	15
Gambar 2. Pemetaan <i>minterm</i> dengan nilai desimal pada peta Karnaugh 4 variabel input. ....	16
Gambar 3. Pemetaan <i>minterm</i> dengan nilai desimal pada peta Karnaugh 5 variabel input. ....	16
Gambar 4. Pemetaan <i>minterm</i> dengan nilai desimal pada peta Karnaugh 6 variabel input. ....	17
Gambar 5. Contoh pemetaan <i>minterm</i> pada peta Karnaugh 6 variabel input.	18
Gambar 6. Contoh penggabungan <i>minterm</i> pada peta karnaugh 6 variabel input. ....	19
Gambar 7. Cara lain pemetaan <i>minterm</i> pada peta Karnaugh 6 variabel input. ....	19
Gambar 8. Cara lain untuk pengelompokkan <i>minterm</i> gambar 6. ....	20
Gambar 9. Pemetaan <i>minterm</i> pada peta Karnaugh 9 variabel input. ....	20
Gambar 10. Penomoran komponen penyaklaran daya pada jembatan inverter satu fasa. ....	22
Gambar 11. Pembangkitan PWM sinusoida satu fasa secara analog. ....	25
Gambar 12. oses pencuplikan, kuantisasi dan penyandian sinyal $\sin(x)$ . ....	27
Gambar 13. Penyederhanaan dengan metode peta Karnaugh untuk $D_4$ . ....	30
Gambar 14. Diagram kotak inverter PWM sinusoida dua fasa berbasis FPGA.	39
Gambar 15. Diagram kotak pembangkit sinyal PWM sinusoida satu fasa. ....	40
Gambar 16. Diagram kotak unit pembagi frekuensi. ....	41
Gambar 17. Rancangan unit pembagi frekuensi. ....	41
Gambar 18. Ilustrasi kerja unit pembagi frekuensi. ....	42
Gambar 19. Rangkaian pencacah 9 bit. ....	45
Gambar 20. Rangkaian pembanding 9 bit. ....	47
Gambar 21. Rangkaian pencacah mod-360. ....	48

Gambar 22.	Diagram kotak unit pengali. ....	51
Gambar 23.	Diagram kotak prinsip kerja pengali indeks modulasi 5 bit. ....	53
Gambar 24.	Rangkaian pembanding 1 bit. ....	53
Gambar 25.	Diagram kotak unit penunda. ....	55
Gambar 26.	Rangkaian penunda transisi naik. ....	56
Gambar 27.	Rangkaian penunda transisi turun. ....	57
Gambar 28.	Diagram kotak pembangkit sinyal PWM sinusoida dua fasa. ....	57
Gambar 29.	Simulasi dekoder frekuensi ke pembagi. ....	63
Gambar 30.	Simulasi register penyimpan data pembagi. ....	63
Gambar 31.	Simulasi pencacah 9 bit. ....	64
Gambar 32.	Simulasi pembanding 9 bit. ....	64
Gambar 33.	Simulasi unit pembagi frekuensi. ....	65
Gambar 34.	Simulasi unit pencacah alamat. ....	66
Gambar 35.	Simulasi memori sinus( $x+0^0$ ). ....	66
Gambar 36.	Simulasi memori sinus( $x+90^0$ ). ....	67
Gambar 37.	Simulasi memori sgt( $x$ ). ....	67
Gambar 38.	Simulasi unit pengali. ....	68
Gambar 39.	Simulasi unit pembanding. ....	69
Gambar 40.	Simulasi penunda. ....	70
Gambar 41.	Jarak transisi pulsa naik dan turun $g_1$ dan $g_4$ . ....	71
Gambar 42.	Simulasi sinyal PWM keseluruhan. ....	71
Gambar 43.	Hasil pengamatan keluaran $g_1$ dan $g_4$ . ....	74
Gambar 44.	Hasil pengamatan keluaran $g_2$ dan $g_3$ . ....	74
Gambar 45.	Hasil pengamatan keluaran $g_5$ dan $g_8$ . ....	75
Gambar 46.	Hasil pengamatan keluaran $g_6$ dan $g_7$ . ....	75
Gambar 47.	Hasil pengamatan keluaran $Q_1$ dan $Q_3$ . ....	76
Gambar 48.	Hasil pengamatan keluaran $Q_2$ dan $Q_4$ . ....	76
Gambar 49.	Hasil pengamatan fasa kesatu ( $Q_1$ ) dengan IM=0,5 dan fasa kedua ( $Q_3$ ) dengan IM=0,96875. ....	77
Gambar 50.	Hasil pengamatan fasa kesatu ( $Q_1$ ) dengan IM=0,75 dan fasa kedua ( $Q_3$ ) dengan IM=0,96875. ....	77

Gambar 51. Rangkaian LPF pasif orde-2. ....	78
Gambar 52. Response frekuensi rangkaian LPF gambar 51. ....	79
Gambar 53. Pengujian LPF terhadap pembangkit $g_1$ keluaran FPGA. ....	79
Gambar 54. Pengujian LPF terhadap pembangkit $g_2$ keluaran FPGA.. ....	80
Gambar 55. Pengujian LPF terhadap pembangkit $g_3$ keluaran FPGA.. ....	80
Gambar 56. Pengujian LPF terhadap pembangkit $g_4$ keluaran FPGA.. ....	80
Gambar 57. Pengujian LPF terhadap pembangkit $g_5$ keluaran FPGA.. ....	81
Gambar 58. Pengujian LPF terhadap pembangkit $g_6$ keluaran FPGA.. ....	81
Gambar 59. Pengujian LPF terhadap Pembangkit $g_7$ keluaran FPGA. ....	81
Gambar 60. Pengujian LPF terhadap pembangkit $g_8$ keluaran FPGA.. ....	82
Gambar 61. Grafik memori sinus( $x+90^0$ ) dengan 2 bit LSB dibuat berniali nol. ....	82
Gambar 62. Hasil pengamatan fasa kesatu dengan IM= 0,875. ....	83
Gambar 63. Hasil pengamatan fasa kesatu dengan IM= 0,5. ....	83
Gambar 64. Grafik $V_{rms}$ terhadap indeks modulasi. ....	88
Gambar 65. Grafik frekuensi set point dan frekuensi terukur. ....	90

## DAFTAR TABEL

	halaman
Tabel 1. Kombinasi penyaklaran komponen penyaklaran daya dan tegangan keluaran inverter. ....	22
Tabel 2. Proses pencuplikan, pengkuantisasian dan penyandian. ....	28
Tabel 3. Tabel kebenaran memori sinus. ....	28
Tabel 4. Operasi perbandingan magnitudo sandi sinus dan sandi segitiga. ....	32
Tabel 5. Parameter-parameter FPGA XC4013. ....	33
Tabel 6. Konversi frekuensi PWM ke data pembagi. ....	43
Tabel 7. Tabel kebenaran dekoder frekuensi ke pembagi. ....	44
Tabel 8. Tabel kebenaran FDCE. ....	46
Tabel 9. Tabel kebenaran operasi perbandingan 1 bit. ....	53
Tabel 10. Perbandingan magnitudo data. ....	54
Tabel 11. Perbandingan magnitudo dan bit tanda. ....	54
Tabel 12. Penggunaan pin pada FPGA ....	58
Tabel 13. Jumlah dan lebar pulsa tegangan keluaran sinyal pembangkit PWM sinusoida pada indeks modulasi berbeda secara simulasi. ...	84
Tabel 14. Jumlah dan lebar pulsa tegangan keluaran sinyal pembangkit PWM sinusoida pada indeks modulasi berbeda keluaran FPGA ..	85
Tabel 15. Nilai $V_{p-p}$ pada indeks modulasi berbeda ....	86
Tabel 16. Nilai $V_{rms}$ pada indeks modulasi berbeda. ....	87
Tabel 17. Hasil pengukuran frekuensi sinyal PWM. ....	89
Tabel 16. Frekuensi osilator sesungguhnya berdasar pengukuran. ....	90

## DAFTAR LAMPIRAN

LAMPIRAN A   FPGA XC4013

LAMPIRAN B   MEMORI SINUS DAN SEGITIGA

LAMPIRAN C   UNTAI PEMBANGKIT PWM SINUSOIDA DUA FASA

1. IC Pembangkit PWM Sinusoida Dua Fasa
2. Untai Pembangkit PWM Sinusoida Dua Fasa
3. Unit Pembagi Frekuensi Terprogram
4. Untai Register Penyimpan Data Pembagi
5. Untai Pembanding 9 Bit
6. Untai Pencacah 9 Bit
7. Untai *Toggle* Flip-Flop
8. Untai Dekoder Frekuensi ke Pembagi
9. Unit Pencacah Alamat Mod-360
10. Unit Memori  $\sin(x)$
11. Unit Memori  $\sin(x+90_0)$
12. Unit Memori  $\text{Sgt}(x)$  dan  $-\text{Sgt}(x)$
13. Unit Pengali Indeks Modulasi
14. Untai Register Indeks Modulasi
15. Untai Pembanding Data Sinus dan Segitiga
16. Unit Pembanding
17. Unit Pembuat Tunda

LAMPIRAN D   PEDOMAN KONFIGURASI DESAIN KE PERANGKAT KERAS  
SISTEM FPGA

LAMPIRAN E   PPR RESULTS

## ARTI LAMBANG DAN SINGKATAN

Lambang atau Singkatan	Arti
FPGA	Field Programmable Gate Array
DSP	Digital Signal Processing
Sgt	Segitiga
PWM	Pulse Width Modulation
VSI	Voltage Source Inverter
$V_{AB}$	Tegangan Fasa Kesatu
$V_{CD}$	Tegangan Fasa Kedua
$Q_1$	Tegangan $V_{AB}$ Plus
$Q_2$	Tegangan $V_{AB}$ Min
$Q_3$	Tegangan $V_{CD}$ Plus
$Q_4$	Tegangan $V_{CD}$ Min
$V_{G1}$	Sinyal Penggerak Gerbang Kesatu Pada Jembatan Inveter Dua Fasa
$V_{G2}$	Sinyal Penggerak Gerbang Kedua Pada Jembatan Inveter Dua Fasa
$V_{G3}$	Sinyal Penggerak Gerbang Ketiga Pada Jembatan Inveter Dua Fasa
$V_{G4}$	Sinyal Penggerak Gerbang Keempat Pada Jembatan Inveter Dua Fasa
$V_{G5}$	Sinyal Penggerak Gerbang Kelima Pada Jembatan Inveter Dua Fasa
$V_{G6}$	Sinyal Penggerak Gerbang Keenam Pada Jembatan Inveter Dua Fasa
$V_{G7}$	Sinyal Penggerak Gerbang Ketujuh Pada Jembatan Inveter Dua Fasa
$V_{G8}$	Sinyal Penggerak Gerbang Kedelapan Pada Jembatan Inveter Dua Fasa
M	Indeks Modulasi



## INTISARI

Inverter dengan pengaturan PWM dapat digunakan untuk mengatur tegangan keluaran inverter. Tujuan penelitian ini adalah merancang rangkaian digital sebagai pembangkit sinyal PWM sinusoida dengan menggunakan keping FPGA XC4013. Sistem dirancang agar dapat membangkitkan dua pembangkit sinyal PWM sinusoida satu fasa dengan frekuensi 50 Hz dan antar fasa berbeda  $90^0$ .

Pembangkit sinyal PWM sinusoida yang dirancang, dibangkitkan menggunakan dua buah sinyal sinus berbeda fasa  $90^0$  dan dua buah sinyal segitiga berbeda fasa  $180^0$ . Pada rancangan ini, jumlah segitiga dalam satu periode sinus ditetapkan sebanyak 12. Sinyal sinus dan segitiga kontinyu dalam satu periode dicuplik 360 kali. Pengaturan frekuensi dilakukan dengan memanfaatkan *clock* internal 8 MHz yang tersedia pada keping FPGA XC4013.

Hasil penelitian ini menunjukkan bahwa rancangan rangkaian digital pembangkit sinyal PWM sinusoida dapat bekerja dengan baik saat simulasi maupun hasil konfigurasinya ke perangkat keras FPGA. Hasil rancangan tersebut berhasil direalisasikan ke dalam keping FPGA XC4013 dan membutuhkan 572 CLB atau sebesar 99% dari CLB yang tersedia. Beda fasa yang dihasilkan  $90^0$ . Frekuensi dasar sinyal PWM 50 Hz dapat dicapai dengan tingkat ketelitian 99% pada setpoint 44 Hz atau 45 Hz. Tegangan efektif ( $V_{rms}$ ) keluaran inverter cenderung linear terhadap perubahan indeks modulasi dengan persamaan  $y=0,6639x + 0,1536$ . Frekuensi osilator internal 8 MHz FPGA mempunyai tingkat kesalahan 12,625 % (atau menghasilkan frekuensi 9,01 MHz).

Kata Kunci: *PWM Sinusoida Dua Fasa, OrCAD, FPGA XC4013*

## ABSTRACT

Pulse Width Modulation (PWM) regulated inverter can be used to regulate its output voltage. This research's objective was to design a digital circuit as sinusoidal PWM signal generator based on FPGA XC4013 chip. This system was designed to generate 2 single phase sinusoidal PWM signal generator with 50 Hz frequency and  $90^0$  phase shift.

Sinusoidal PWM signal generator generated using 2 sinusoidal signal with  $90^0$  phase shift and 2 triangular signals with signals with  $180^0$  phase shift 12 triangle in one sinusoidal's period were used in the design. Continuous sinusoidal and triangular signal were sampled 360 times. Frequency regulating process were accomplished using 8 MHz internal clock available in FPGA XC4013 chip.

This research results shows that the sinusoidal PWM signal generator work properly during simulation and configuration process. The design successfully realized in FPGA XC4013 chip using 572 CLBs (99% available CLBs).  $90^0$  phase shift resulted. 50 Hz base frequency achieved with 99% accuracy 44 or 45 Hz set point. Effective output voltage tends to be linear toward modulation index change, according this equation,  $y=0,6639x + 0,1536$ . 8 MHz internal FPGA oscillator had 12,625% error.

*Key words: Two Phase Sinusoidal PWM, OrCAD, XC4013 FPGA*

## I. PENGANTAR

### A. Latar Belakang

Keuntungan operasi inverter PWM sebagai teknik konversi dibandingkan dengan jenis-jenis inverter lainnya dapat dilihat dari rendahnya distorsi harmonik pada tegangan keluaran inverter PWM. Proses pembangkitan sinyal PWM menjadi salah satu faktor penentu unjuk kerja sistem secara keseluruhan.

Sinyal PWM dapat dibangkitkan secara analog, digital atau kombinasi keduanya. Pembangkitan secara analog lebih sederhana dalam hal rangkaian tetapi sangat rentan terhadap derau. Pembangkitan secara digital dapat menghasilkan sinyal PWM lebih baik karena tidak terpengaruh oleh derau tetapi mempunyai tingkat kerumitan lebih tinggi dibanding cara analog.

Selama ini pengendalian inverter PWM secara digital dilakukan dengan menggunakan mikrokontroler atau DSP (*Digital Signal Processing*). Penggunaan mikrokontroler menguntungkan dalam hal fleksibilitas, reabilitas dan harga yang rendah, tetapi mempunyai keterbatasan dalam hal jumlah dan waktu pemrosesan. Beban mikrokontroler menjadi sangat berat jika semua proses dilakukan mikrokontroler. Respon sistem juga menjadi lambat karena mikrokontroler harus melakukan penjadwalan terhadap tugas yang akan dilakukan.

Tuntutan akan kecepatan operasi dan unjuk kerja pengendali yang handal mendorong untuk mengimplementasikan sinyal PWM dalam bentuk rangkaian logika perangkat keras (*hardware logic*). Operasi dalam bentuk perangkat keras ini mempunyai kecepatan lebih tinggi dibanding operasi yang dilakukan secara

perangkat lunak oleh mikrokontroler, karena operasi dengan perangkat lunak membutuhkan waktu untuk menerjemahkan perintah-perintah pemrograman. Selain itu lebar data yang dapat diproses juga terbatas oleh kemampuan mikrokontroler.

Implementasi operasi-operasi digital dalam bentuk perangkat keras dapat dilakukan dengan FPGA (*Field Programmable Gate Array*). FPGA memuat ribuan gerbang logika yang dapat diprogram untuk membentuk suatu logika. FPGA dapat digunakan untuk mengimplementasikan sistem kombinasional dan sekuensial berkecepatan tinggi dengan lebar bit data tidak terbatas. Hal ini membuat FPGA mampu melakukan operasi dengan tingkat keparalelan tinggi yang tak mungkin dilakukan oleh mikrokontroler.

Konsep teknologi untai terintegrasi (*integrated circuit*) yang dapat diprogram dan dihapus dengan konsep FPGA (*Field Programmable Gate Array*) telah dikembangkan oleh Xilinx. Metoda yang digunakan untuk implementasi dengan FPGA yaitu dengan merubah gambar untai elektronik digital dari perangkat lunak penggambar OrCAD menjadi *file bit stream* dan dikonfigurasi secara perangkat keras seperti yang dirancang dalam perangkat lunak penggambar OrCAD.

Untai-untai digital dari sistem pembangkit sinyal PWM yang diimplementasikan ke dalam IC Xilinx FPGA akan mengurangi tingkat kerumitan perancangan dan memungkinkan dilakukannya proses modifikasi untai yang sudah ada dengan cara melakukan *download* ulang pada IC Xilinx FPGA tersebut.

Keuntungan-keuntungan yang dimiliki FPGA adalah sebagai berikut:

1. FPGA dapat diprogram ulang sehingga memudahkan modifikasi tanpa harus merubah keseluruhan sistem.
2. Sebuah rancangan secara otomatis dapat dirubah dari level logika gerbang menjadi struktur layout dengan fasilitas yang dimilikinya, sehingga perubahan dapat dilakukan dengan mudah tanpa harus merubah rancangan awal.
3. Simulasi hasil desain dapat dilakukan pada keluaran gerbang yang terpakai dan pada karakteristik pewaktuan yang dimiliki oleh desain yang dibuat. Hal ini sangat menguntungkan ketika waktu juga menjadi faktor yang harus diperhatikan dalam desain yang dibuat.
4. IC FPGA keluaran terbaru mempunyai jumlah gerbang yang semakin banyak dengan fasilitas yang semakin lengkap.

Pengaturan kecepatan motor servo dua fasa membutuhkan pengaturan tegangan catu daya dengan beda fasa  $90^0$  dan frekuensi 50 Hz. Pengaturan tegangan dapat dilakukan melalui inverter PWM sinusoida. Pada perancangan inverter PWM sinusoida, dibutuhkan pembangkitan sinyal PWM sinusoida. Karena pembangkitan sinyal PWM sinusoida ini dimaksudkan untuk penggerak inverter PWM sinusoida dengan beban motor servo dua fasa, maka Penulis memberikan judul tesis ini “Pembangkit Sinyal PWM Sinusoida Dua Fasa Berbasis FPGA”.

## **1. Perumusan masalah**

Berdasarkan uraian di atas maka pembangkit sinyal PWM sinusoida dua fasa berbasis FPGA dirancang agar dapat menghasilkan beda fasa fasa  $90^0$ , frekuensi 50 Hz dan lebar pulsa yang dapat diatur.

Tesis ini membahas mengenai rancang bangun suatu sistem digital yang berfungsi membangkitkan sinyal PWM sinusoida sebagai sinyal penggerak rangkaian inverter dua fasa. Rancangan dibuat dalam bentuk skematik/gambar dan disimulasikan dengan bantuan perangkat lunak OrCad 9.1. Apabila hasil simulasi rancangan yang dibuat sudah sesuai dengan keinginan selanjutnya dikompilasi dan diwujudkan secara nyata dalam keping FPGA Xilinx melalui proses konfigurasi.

Rancang bangun dengan FPGA ini dibatasi oleh beberapa parameter yang dimiliki FPGA XC4013, diantaranya: kapasitas gerbang logika, jumlah CLB (*Configurable Logic Block*), jumlah IOB (*Input/Output Block*) dan jumlah flip-flop. Oleh karena itu rancangan sistem digital tersebut dirancang sesederhana mungkin sehingga pemakaian gerbang logika optimal.

## **2. Keaslian penelitian**

Sejauh ini penelitian mengenai sistem pembangkit sinyal PWM berbasis FPGA atau penelitian tentang sistem penggerak motor menggunakan inverter PWM telah dilakukan. Roh dkk (2003) merancang pengendali PWM digital untuk konverter DC-DC dengan rangkaian analog yang minimal. Baronti dkk (2003) merancang penggerak penyaklaran konverter DC-DC dengan kendali digital SRAM berbasis FPGA, namun baru pada tahap perancangan dengan VHDL (*Very High Digital*

*Language*). Rancangan yang dibuatnya telah berhasil secara simulasi dan merekomendasi rancangannya untuk dikonfigurasi ke perangkat keras FPGA.

Penelitian lainnya dilakukan oleh Ritter dkk (2003) yang merancang pengendali PWM untuk motor servo DC. Pada rancangannya, Ritter dkk menggunakan FPGA Xilinx XC4036EX untuk mengendalikan robot yang berjalan dengan 6 kaki. Masing-masing kaki dikendalikan oleh 2 motor servo DC.

Zaki (2001) telah meneliti sistem pembangkit sinyal PWM berbasis FPGA pada inverter penggerak motor induksi tiga fasa. Pada rancangannya, ketiga memori data sinus dikeluarkan dari konfigurasi sistem FPGA (disimpan pada tiga EPROM terpisah dengan desain konfigurasi) karena sumberdaya yang tersedia pada FPGA tak memadai (memori data sinus memerlukan gerbang logika yang besar).

Gendroyono (1999) telah meneliti sistem penggerak motor induksi dengan beban berubah menggunakan inverter PWM berbasis mikrokontroler. Penelitian lainnya dilakukan oleh Kusumawardani (2001) yang mengimplementasikan sandi BCH (15,5) dengan FPGA dan Djatmiko (2001) yang mengimplementasikan pengaturan kecepatan motor DC dengan pengendali chopper berbasis FPGA.

Tesis ini membahas rancang bangun sistem pembangkit sinyal PWM Sinusoida dua fasa dengan menggunakan FPGA (*Field Programmable Gate Array*) XC4013-PG223-5. Berbeda dengan yang dilakukan Zaki, pada tesis ini semua unit pembangun sistem dijadikan satu konfigurasi pada FPGA dan menurut sepengetahuan penulis hal ini belum dilakukan oleh peneliti sebelumnya.

### **3. Manfaat penelitian**

Hasil penelitian ini dapat:

1. Dijadikan dasar pada pemakaian perangkat lunak OrCAD dan perancangan dengan FPGA.
2. Dijadikan dasar pada pengembangan pengendalian tegangan inverter PWM sinusoida dua fasa berbasis FPGA.
3. Manfaat lainnya adalah untuk memberikan motivasi dan memberikan ide untuk pemanfaatan FPGA untuk sistem yang lebih besar yang akan diimplementasikan ke dalam keping FPGA Xilinx.

### **B. Tujuan Penelitian**

Merancang rangkaian digital pembangkit sinyal PWM Sinusoida dua fasa dengan beda fasa  $90^0$ , frekuensi PWM 50 Hz dan lebar pulsa yang dapat diatur, dan mengimplementasikannya ke dalam sebuah keping FPGA XC4013.



## II. TINJAUAN PUSTAKA

### A. Tinjauan Pustaka

Inverter sebagai rangkaian penyaluran elektronik dapat mengubah sumber tegangan searah menjadi tegangan bolak-balik dengan besar tegangan dan frekuensi dapat diatur. Pengaturan tegangan dapat dilakukan di luar inverter atau di dalam inverter. Pengaturan tegangan di luar inverter dilakukan dengan mengatur variasi tegangan searah masukan inverter. Pengaturan tegangan di dalam inverter dikenal sebagai Modulasi Lebar Pulsa (*Pulse Width Modulation*, PWM) dan selanjutnya disebut inverter PWM.

Dewan dkk (1984) menyatakan bahwa inverter dapat dikelompokkan dalam dua kelompok utama, yaitu inverter sumber tegangan (VSI=*Voltage Source Inverter*) dan inverter sumber arus (CSI=*Current Source Inverter*). Inverter VSI adalah inverter yang dicatu dari sumber tegangan searah. Idealnya sumber ini mempunyai impedansi dalam nol dan memberi arus tak terbatas pada tegangan terminal tetap. Inverter CSI dicatu dari sumber arus searah. Idealnya sumber ini mempunyai impedansi dalam tak berhingga dan memberi tegangan tak terbatas pada arus keluaran tetap.

Inverter VSI dapat digunakan untuk mencatu motor AC dengan pengaturan tegangan dan frekuensi. Dewan dkk (1984) mengelompokkan inverter sumber tegangan menjadi tiga macam, yaitu:

1. Inverter dengan tegangan penyearah terkontrol
2. Inverter PWM dengan tegangan penyearah tetap

### 3. Inverter dengan tegangan searah berubah melalui chopper.

Baker (1991) mengelompokkan inverter menjadi tiga kelompok utama, yaitu:

- a. Inverter tegangan berubah (VVI=*Variable Voltage Inverter*)
- b. Inverter sumber arus (CSI)
- c. Inverter PWM

Ketiga inverter tersebut mempunyai karakteristik keluaran berbeda-beda. Khusus untuk inverter PWM mempunyai karakteristik sebagai berikut:

- a. Penyearah memberikan tegangan DC tetap. Karena inverter menerima tegangan tetap, maka amplitudo keluarannya juga tetap. Inverter mengatur lebar pulsa tegangan keluaran sebagaimana halnya frekuensi.
- b. Bentuk gelombang yang baik memerlukan sedikit penapisan (*filtering*).
- c. Motor berjalan secara halus pada kecepatan rendah dan tinggi.
- d. Inverter PWM dapat menjalankan beberapa motor secara jajar.

Ketiga kelompok tersebut masing-masing menghasilkan faktor daya yang berbeda. Faktor daya pada inverter VVI dan CSI menurun mengikuti kecepatan, sedangkan pada inverter PWM mempunyai faktor daya mendekati satu pada seluruh tingkat kecepatan.

Mohan dkk (1995) membagi inverter berdasarkan pada jenis penyearah dan inverter yang digunakan, sebagai berikut:

- a. Inverter sumber tegangan modulasi lebar pulsa (PWM VSI) dengan penyearah dioda.
- b. Inverter sumber tegangan gelombang persegi dengan penyearah thyristor.

- c. Inverter sumber arus (CSI) dengan penyearah thyristor.

Rashid (1993) menyatakan bahwa banyak penerapan dalam industri sering memerlukan pengaturan tegangan. Hal ini dapat diatasi dengan teknik sebagai berikut:

- a. Tegangan searah masukan bervariasi
- b. Regulasi tegangan inverter
- c. Syarat volt/frekuensi tetap

Rashid (1993), juga menyatakan bahwa metode yang paling efisien untuk mengatur tegangan keluaran adalah memasukkan pengaturan PWM ke dalam inverter (karena inverter PWM mempunyai faktor daya mendekati satu pada seluruh tingkat kecepatan motor AC). Teknik yang umum digunakan adalah:

- a. PWM tunggal (*single pulse width modulation*)
- b. PWM jamak (*multiple pulse width modulation*)
- c. PWM sinusoida
- d. PWM modifikasi sinusoida
- e. Pengaturan penempatan fasa (*phase displacement*)

Bowes dan Mount (1981) dalam penelitiannya menggunakan kombinasi perangkat keras dan perangkat lunak untuk mendapatkan sinyal modulasi PWM. Mikroprosesor Zilog Z80 digunakan sebagai pengendali inverter PWM untuk mencatur motor induksi 1 HP melalui inverter transistor.

Baronti (2003) dalam penelitiannya merancang penggerak penyaklaran konverter DC-DC dengan kendali digital SRAM berbasis FPGA. Baronti mengatakan sistem kendali PWM digital mempunyai keuntungan lebih dibanding

PWM konvensional. Rancangan yang dibuatnya telah berhasil divalidasi secara simulasi dengan simulasi VHDL dan merekomendasi rancangannya untuk dikonfigurasi ke perangkat keras FPGA.

Ritter dkk (2003) merancang pengendali PWM untuk motor servo DC. Pada rancangannya, Ritter dkk menggunakan FPGA Xilinx XC4036EX untuk mengendalikan robot yang berjalan dengan 6 kaki. Masing-masing kaki dikendalikan oleh 2 motor servo DC. Sistem yang dirancangnya memerlukan 96 % CLB (1244) dan sekitar 34.500 gerbang.

Guilberto dkk (2003), merancang *mobile* robot pemadam api untuk keperluan kontes robot pemadam api internasional 2004. Pada rancangannya Guilberto dkk memilih FPGA untuk praposes pengukuran yang diperoleh dari sensor jarak ultrasonik, untuk pembangkitan sinyal PWM pengendali kecepatan motor DC, untuk menentukan posisi dan kecepatan motor lewat pengawasandian kuadratur dari penyandi motor dan untuk mendigitalkan sinyal dari microphone. Pada sistem yang dirancang, Guilberto dkk menggunakan 2 PC dengan sistem operasi Linux. Namun yang dipaparkan baru pada tahapan ide dan belum pada realisasinya.

Marco dkk (2001), merancang simulasi penerbangan helikopter sederhana. Pada rancangannya, Marco dkk memilih menggunakan kendali PWM untuk memodelkan pengendalian kecepatan motor yang ada pada helikopter dan menggunakan bahasa pemrograman FAUSEL. Paper yang ditulis belum mengungkap secara jelas perancangan detail sistem yang dibuat, karena yang dikemukakan masih pada tataran penelitian yang sedang berjalan.

Hao Li dan Qin Jiang (1999), merancang konverter DC-DC 500W, 500 KHz berbasis XC4005XL. Pada penelitiannya dideskripsikan pengembangan pengendalian digital menggunakan FPGA untuk pengendalian penyaklaran tegangan fasa tergeser nol jembatan penuh DC-DC (konverter FPZVS, *full bridge phase-shifted zero voltage switching*). Rancangan yang dibuat Hao Li dan Qin Jiang disimulasikan dengan perangkat lunak Xilinx Foundation Series dan Pspice, tetapi belum dikonfigurasi ke dalam FPGA XC4005XL.

Lazic dan Skender (2000), merancang pembangkit sinyal PWM tiga fasa. *Duty cycles* sinyal PWM dirancang pada 0,5 % - 99,5 % dan resolusi 8 bit. Sistem dibangun dengan 3 blok dasar: osilator terkendali, modulator amplitudo dan pewaktu PWM. Sistem dirancang untuk *stand-alone* dengan 2 chip utama, yaitu FPGA dan A/D konverter. Pada sistem yang dirancang Lazic dan Skender memanfaatkan sinyal PWM untuk membangkitkan sinyal PPM (*Pulse Position Modulation*). Disampaikan bahwa sistem dirancang untuk frekuensi hingga 100 KHz, namun pada artikelnya tak disebutkan tipe FPGA yang digunakan dan juga proses konfigurasinya ke perangkat keras FPGA.

Pascual, dkk (2002) merancang penguat kelas D berbasis inverter PWM. Pada rancangannya, Pascual dkk menganalisis PWM sinusoida dan PWM seragam. Sistem secara keseluruhan menggunakan DSP sekaligus FPGA.

Takahashi pada *Military Electronics Conference*, 24-25 Sept 2002 menyampaikan idenya untuk merancang sistem pengendalian motor servo AC dengan inverter PWM untuk sistem berunjuk kerja tinggi berbasis FPGA/ASIC. Namun, pada paparannya lebih menekankan pada simulasi dengan *Matlab to*

*Verilog Porter* (MVP), sehingga ide realisasi rancangan sistem pada FPGA kurang detail dan sulit dipahami dengan jelas.

Penelitian lainnya dilakukan oleh Varnovitsky (1983) dengan menggunakan perangkat keras Interl 8051, pewaktu Am 9513 dan multiplekser CD 4053. Perangkat lunak mikrokontroler ini digunakan untuk membangkitkan sinyal PWM dengan teknik modulasi berbeda.

PWM adalah satu teknik yang terbukti baik untuk mengatur inverter guna mendapatkan tegangan berubah dan frekuensi berubah dari tegangan tetap sumber DC (Grant dan Seidner: 1981). Bentuk gelombang tegangan keluaran inverter tidak sinusoida murni karena mengandung banyak komponen frekuensi yang tidak diinginkan. Jika keluaran inverter ini dicatu ke motor AC, komponen tersebut akan menambah kerugian, getaran dan riak pada motor. Grant dan Seidner juga menyatakan bahwa harmonik yang timbul dapat dihindari jika frekuensi pembawa mempunyai variasi berupa kelipatan dari frekuensi pemodulasi. Teknik modulasi dengan perbandingan frekuensi pembawa dan pemodulasi yang demikian disebut PWM sinkron.

Teknik PWM sinkron ini mampu menghasilkan bentuk gelombang dengan komponen harmonik berfrekuensi jauh lebih tinggi dari frekuensi fundamental. Frekuensi tinggi ini memberikan keuntungan pada sistem. Karena kebocoran induktansi motor menyebabkan impedansi tinggi pada komponen yang tidak diinginkan, maka secara efektif menapis keluaran inverter (Gendroyono: 1999).

Macam-macam analisis teknik pembangkitan pulsa PWM telah dikembangkan menggunakan algoritma yang berbeda-beda, tetapi satu prinsip dasar yaitu modulasi

antara gelombang sinus sebagai acuan atau gelombang modulasi, dan gelombang segitiga sebagai gelombang pembawa atau pewaktu (Gendroyono: 1999).

Sutopo (2000), sebagaimana dikutip Kusumawardani (2001), menyatakan bahwa perancangan dengan FPGA dapat dilakukan dengan cepat, mudah dimodifikasi dan sesuai untuk *prototyping*, tetapi akan relatif mahal dan tidak ekonomis untuk produksi yang besar. Penggunaan dengan ASIC (*Application Specific Integrated Circuit*) akan lebih sesuai untuk produksi besar, tetapi perancangan dengan ASIC akan lebih kompleks dan memerlukan waktu yang lebih lama.

Meskipun telah diketahui beberapa algoritma pembangkitan sinyal PWM dari hasil-hasil penelitian terdahulu, akan tetapi uraian lengkap proses pembangkitan sinyal PWM sulit diperoleh karena tidak dipublikasikan. Pada tesis ini akan dirancang pembangkitan sinyal PWM sinusoida dua fasa secara digital berbasis FPGA XC4013. Teknik modulasi yang digunakan adalah modulasi PWM sinkron, dengan jumlah gelombang segitiga dalam satu periode sinus ditetapkan sebanyak 12 ( $m_f=12$ ). Teknik PWM sinkron ini mempunyai harmonik lebih kecil dari PWM tak sinkron, sedangkan nilai  $m_f$  menentukan bentuk sinyal sinus yang akan dihasilkan. Berbeda dengan penelitian sebelumnya, pada tesis ini pembangkit sinyal PWM dirancang untuk menghasilkan sinyal PWM dua fasa dengan beda fasa  $90^\circ$ , frekuensi 50 Hz dan indeks modulasi bervariasi dari 0 hingga 0,96875 dengan tingkat perubahan 0,03125 (32 variasi).

## B. Landasan Teori

### 1. Peta Karnaugh

Peta Karnaugh adalah metode grafik yang digunakan untuk menyederhanakan persamaan logika (digital) atau mengkonversi tabel kebenaran ke rangkaian logika dengan proses yang sederhana (Tocci : 1985).

Banyak sedikitnya kebaikan dan penghematan waktu dalam penggunaan peta Karnaugh untuk penyederhanaan fungsi logika, tergantung pada kemampuan pengguna untuk mengenal pola atau subkotak yang dapat menyederhanakan fungsi. Satu keunggulan yang jelas dalam penggunaan peta Karnaugh adalah untuk memperagakan kedekatan yang ada di dalam diagram *sum of product*. Bila ini dilaksanakan, tidak perlu lagi untuk membandingkan semua pasangan yang mungkin dari suku-suku dalam diagram *sum of product* kanonis untuk menghilangkan variabel redundan. Peta Karnaugh menunjukkan semua kedekatan yang ada (Lee : 1976).

Aturan dasar penyederhanaan dengan peta Karnaugh adalah sebagai berikut:

1. Cari semua implikan utama. (Implikan adalah hasil pengelompokkan  $2^i$  sel yang diberi tanda 1; Implikan utama adalah implikan yang bukan berupa subset dari implikan lain dari fungsi).
2. Cari semua implikan utama penting. (Implikan utama penting adalah implikan utama yang mencakup suatu sel 1 yang tidak tercakup oleh implikan utama lainnya).
3. Cari set terkecil dari implikan utama yang mencakup (paling tidak) semua implikan utama penting untuk “menutup” semua 1 dalam peta Karnaugh. Bila



pilihan jatuh diantara dua implikan utama, pilih salah satu yang lebih sederhana.

Selanjutnya penghilangkan variabel mengikuti aturan sebagai berikut:

- Setiap pasangan sel yang berdekatan ( $2^1$ ) yang ditandai dengan 1 dalam suatu peta Karnaugh, maka 2 sel tersebut dapat digabungkan menjadi satu suku, dan 1 variabel dapat dihilangkan.
- Bila empat ( $2^2$ ) sel yang diberi tanda 1 berdekatan dalam suatu peta Karnaugh, maka 4 sel tersebut dapat dikombinasi menjadi satu suku, dan 2 variabel dapat dihilangkan.
- Bila delapan ( $2^3$ ) sel yang diberi tanda 1 berdekatan dalam suatu peta Karnaugh, maka 8 sel tersebut dapat dikombinasi menjadi satu suku, dan 3 variabel dapat dihilangkan.

#### Peta Karnaugh dengan 4 variabel input (A, B, C, D)

Pemetaan *minterm* pada peta Karnaugh 4 variabel input (A: MSB, D: LSB) ditunjukkan gambar 1 berikut.

		CD			
		00	01	11	10
AB	00	$\overline{A} \overline{B} \overline{C} \overline{D}$	$\overline{A} \overline{B} \overline{C} D$	$\overline{A} \overline{B} CD$	$\overline{A} \overline{B} C \overline{D}$
	01	$A \overline{B} \overline{C} \overline{D}$	$A \overline{B} \overline{C} D$	$A \overline{B} CD$	$A \overline{B} C \overline{D}$
	11	$AB \overline{C} \overline{D}$	$AB \overline{C} D$	$ABCD$	$ABC \overline{D}$
	10	$A \overline{B} \overline{C} \overline{D}$	$A \overline{B} \overline{C} D$	$A \overline{B} CD$	$A \overline{B} C \overline{D}$

Gambar 1. Pemetaan *minterm* pada peta Karnaugh 4 variabel input.

Nilai *minterm* tiap sel dari gambar 1, sering dinyatakan dalam nilai desimal. Nilai desimal tiap sel peta Karnaugh 4 variabel input (A, B, C, D) adalah seperti gambar 2 berikut.

CD \ AB					
		00	01	11	10
00	01	0	1	3	2
01	10	4	5	7	6
11	00	12	13	15	14
10	01	8	9	11	10

Keterangan: isi sel menyatakan nilai minterm

Gambar 2. Pemetaan *minterm* dengan nilai desimal pada peta Karnaugh 4 variabel input.

### Peta Karnaugh dengan 5 variabel input

Misal  $f(A, B, C, D, E)$  adalah suatu fungsi logika dari 5 variabel input A, B, C, D dan E dalam bentuk *sum of product*, maka fungsi tersebut dapat dinyatakan sebagai:

$$f(A, B, C, D, E) = \bar{A} g(B, C, D, E) + A g(B, C, D, E)$$

Sehingga fungsi  $f(A, B, C, D, E)$  dapat dinyatakan sebagai fungsi 4 variabel input. Nilai desimal tiap sel peta Karnaugh 5 variabel input (A, B, C, D, E) adalah seperti gambar 3 berikut.

BC \ DE		A = 0				A = 1			
		00	01	11	10	00	01	11	10
00	01	0	4	12	8	16	20	28	24
01	10	1	5	13	9	17	21	29	25
11	00	3	7	15	11	19	23	31	27
10	01	2	6	14	10	18	22	30	26

Keterangan: isi sel menyatakan nilai minterm

Gambar 3. Pemetaan *minterm* dengan nilai desimal pada peta Karnaugh 5 variabel input.

### Peta Karnaugh dengan 6 variabel input

Dengan cara yang sama seperti peta Karnaugh 5 variabel di atas, maka bila  $f(A, B, C, D, E, F)$  adalah suatu fungsi logika dengan 6 variabel dalam bentuk *sum of product*, maka fungsi tersebut dapat dinyatakan sebagai:

$$f(A, B, C, D, E, F) = \bar{A} \bar{B} f(C, D, E, F) + A \bar{B} f(C, D, E, F) + \bar{A} B f(C, D, E, F) + AB f(C, D, E, F)$$

Nilai desimal tiap sel peta Karnaugh 6 variabel input (A, B, C, D, E, F) adalah seperti gambar 4 berikut.

AB		00							
		CD							
EF	00	00	01	11	10				
	00	0	4	12	8				
	01	1	5	13	9				
	11	3	7	15	11				
		10	2	6	14	10			

+

BC		01							
		DE							
DE	00	00	01	11	10				
	00	16	20	28	24				
	01	17	21	29	25				
	11	19	23	31	27				
		10	18	22	30	26			

+

AB		11							
		CD							
EF	00	00	01	11	10				
	00	32	36	44	40				
	01	33	37	45	41				
	11	35	39	47	43				
		10	34	38	46	42			

+

BC		10							
		DE							
DE	00	00	01	11	10				
	00	48	52	60	56				
	01	49	53	61	57				
	11	51	55	63	59				
		10	50	54	62	58			

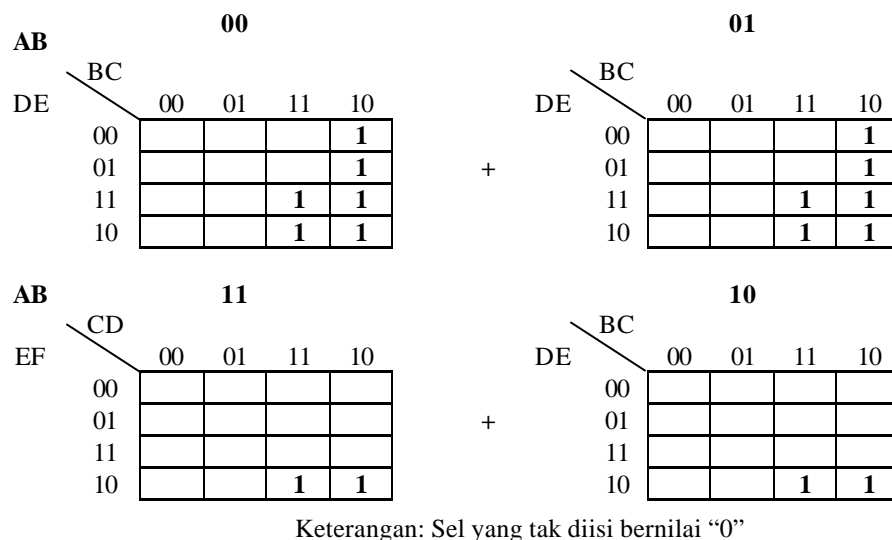
Keterangan: isi sel menyatakan nilai minterm

Gambar 4. Pemetaan *minterm* dengan nilai desimal pada peta Karnaugh 6 variabel input.

Dari gambar 4, terlihat bahwa fungsi logika dengan 6 variabel dapat dinyatakan dengan 4 peta Karnaugh 4 variabel. Misalkan suatu fungsi logika

$$f(A, B, C, D, E, F) = \sum_m (8, 9, 10, 11, 14, 15, 24, 25, 26, 27, 30, 31, 42, 46, 58, 62), \quad \text{maka}$$

pemetaan minterm pada peta Karnaugh adalah sebagai berikut:

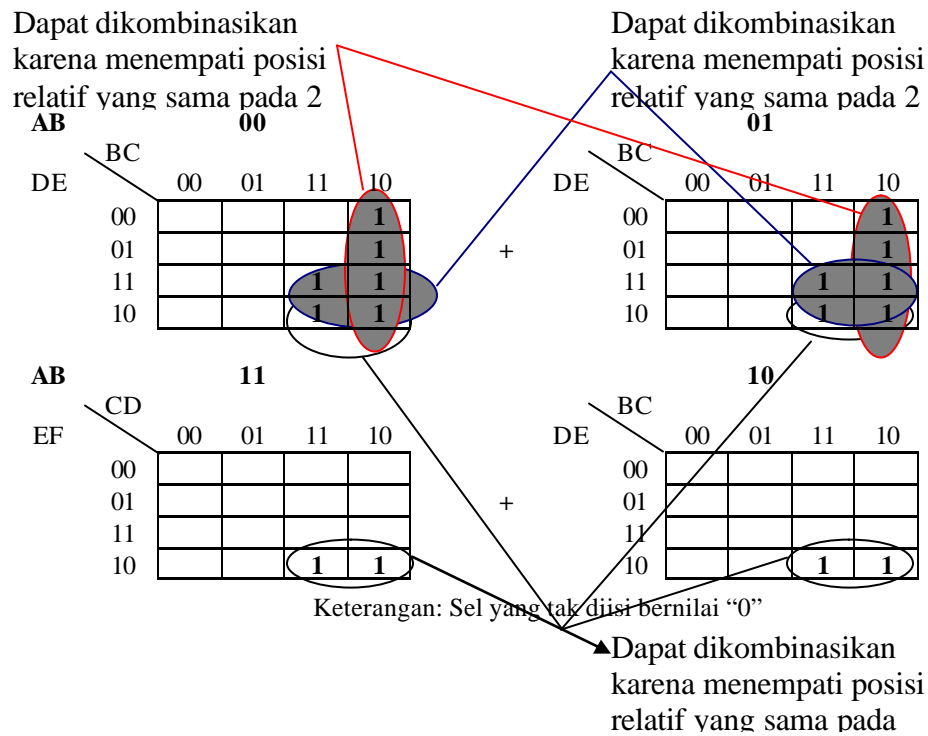


Gambar 5. Contoh pemetaan *minterm* pada peta Karnaugh 6 variabel input.

Aturan dasar untuk mengkombinasikan sel pada peta 4 variabel yang sama, adalah sama dengan telah dijelaskan sebelumnya. Sel yang ada dalam peta 4 variabel yang berbeda, dapat dikombinasikan jika (Lee:1976):

1. Menempati posisi relatif yang sama pada peta 4 variabelnya masing-masing.
2. Ada dalam peta 4 variabel, yang mempunyai variabel lain (A dan B) disamping variabel yang dinyatakan dalam peta (C, D, E dan F), dimana paling banyak hanya satu variabel yang berbeda harga. Peta demikian disebut peta perbatasan. Sel yang menempati posisi relatif sama pada semua peta Karnaugh 4 variabel dapat dikombinasikan.

Berdasarkan aturan ini, maka penggabungan *minterm* untuk penyelesaian contoh kasus penyederhanaan fungsi 6 variabel input di atas ditunjukkan pada gambar 6 berikut.



Gambar 6. Contoh penggabungan *minterm* pada peta karnaugh 6 variabel input.

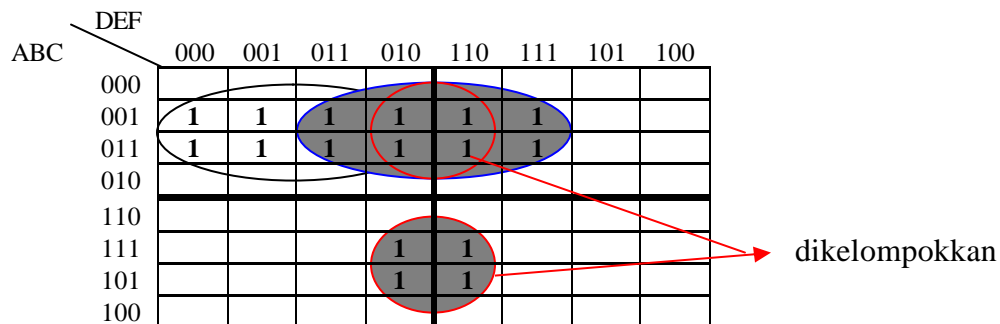
Pemetaan *minterm* pada peta Karnaugh 6 variabel input gambar 4 dapat juga dinyatakan seperti gambar 7 berikut.

ABC	DEF								Bilangan GRAY
	000	001	011	010	110	111	101	100	
000	0	1	3	2	6	7	5	4	
001	8	9	11	10	14	15	13	12	
011	24	25	27	26	30	31	29	28	
010	16	17	19	18	22	23	21	20	
110	48	49	51	50	54	55	53	52	
111	56	57	59	58	62	63	61	60	
101	40	41	43	42	46	47	45	44	
100	32	33	35	34	38	39	37	36	

Bilangan GRAY

Gambar 7. Cara lain pemetaan *minterm* pada peta Karnaugh 6 variabel input.

Berdasarkan gambar 7, pengelompokkan *minterm* sebagaimana gambar 6 dapat dilakukan seperti gambar 8. Dengan cara ini, lembar kerja untuk pengelompokkan *minterm* guna penyederhanaan rangkaian logika kombinasional menjadi lebih ringkas.



Gambar 8. Cara lain untuk pengelompokkan *minterm* gambar 6.

### Peta Karnaugh dengan 9 variabel input

		FGHI															
		0000	0001	0011	0010	0110	0111	0101	0100	1100	1101	1111	1110	1010	1011	1001	1000
A B C D E	0000	0	1	3	2	6	7	5	4	12	13	15	14	10	11	9	8
	0001	16	17	19	18	22	23	21	20	28	29	31	30	26	27	25	24
	0011	48	49	51	50	54	55	53	52	60	61	63	62	58	59	57	56
	0010	32	33	35	34	38	39	37	36	44	45	47	46	42	43	41	40
	0110	96	97	99	98	102	103	101	100	108	109	111	110	106	107	105	104
	0111	112	113	115	114	118	119	117	116	124	125	127	126	122	123	121	120
	0101	80	81	83	82	86	87	85	84	92	93	95	94	90	91	89	88
	0100	64	65	67	66	70	71	69	68	76	77	79	78	74	75	73	72
	1100	192	193	195	194	198	199	197	196	204	205	207	206	202	203	201	200
	1101	208	209	211	210	214	215	213	212	220	221	223	222	218	219	217	216
	1111	240	241	243	242	246	247	245	244	252	253	255	254	250	251	249	248
	1110	224	225	227	226	230	231	229	228	236	237	239	238	234	235	233	232
	1010	160	161	163	162	166	167	165	164	172	173	175	174	170	171	169	168
	1011	176	177	179	178	182	183	181	180	188	189	191	190	186	187	185	184
	1001	144	145	147	146	150	151	149	148	156	157	159	158	154	155	153	152
	1000	128	129	131	130	134	135	133	132	140	141	143	142	138	139	137	136
	0000	384	385	387	386	390	391	389	388	396	397	399	398	394	395	393	392
	0001	400	401	403	402	406	407	405	404	412	413	415	414	410	411	409	408
	0011	432	433	435	434	438	439	437	436	444	445	447	446	442	443	441	440
	0010	416	417	419	418	422	423	421	420	428	429	431	430	426	427	425	424
	0110	480	481	483	482	486	487	485	484	492	493	495	494	490	491	489	488
	0111	496	497	499	498	502	503	501	500	508	509	511	510	506	507	505	504
	0101	464	465	467	466	470	471	469	468	476	477	479	478	474	475	473	472
	0100	448	449	451	450	454	455	453	452	460	461	463	462	458	459	457	456
	1100	320	321	323	322	326	327	325	324	332	333	335	334	330	331	329	328
	1101	336	337	339	338	342	343	341	340	348	349	351	350	346	347	345	344
	1111	368	369	371	370	374	375	373	372	380	381	383	382	378	379	377	376
	1110	352	353	355	354	358	359	357	356	364	365	367	366	362	363	361	360
	1010	288	289	291	290	294	295	293	292	300	301	303	302	298	299	297	296
	1011	304	305	307	306	310	311	309	308	316	317	319	318	314	315	313	312
	1001	272	273	275	274	278	279	277	276	284	285	287	286	282	283	281	280
	1000	256	257	259	258	262	263	261	260	268	269	271	270	266	267	265	264

Gambar 9. Pemetaan *minterm* pada peta Karnaugh 9 variabel input.

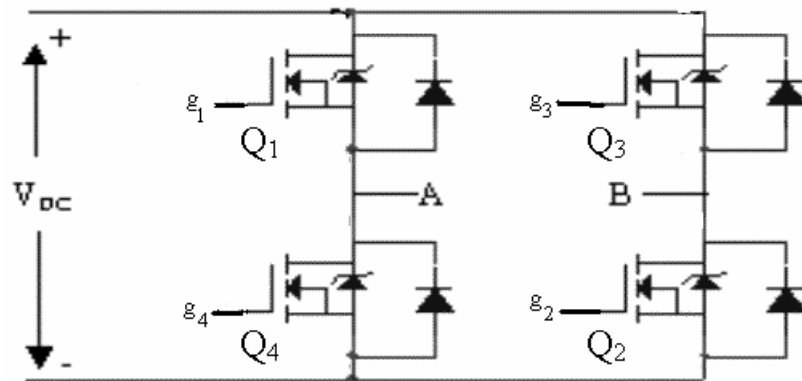
Berdasarkan peta Karnaugh 6 variabel gambar 7, maka dapat disusun peta Karnaugh 9 variabel seperti gambar 9 di atas. Dengan susunan peta Karnaugh 9 variabel di atas, maka dapat dibuat pengelompokkan 2, 4, 8, 16, 32, 64, 128, 256 atau 512 *minterm* berdekatan bernilai 1.

Pada tesis ini, metode peta Karnaugh digunakan pada penyederhanaan memori sinus, memori segitiga dan fungsi dekoder frekuensi ke pembagi.

## **2. Inverter PWM Satu Fasa**

Fungsi sebuah inverter adalah untuk merubah tegangan input DC menjadi tegangan AC pada besar dan frekuensi yang dapat diatur (Rashid: 1993). Pengaturan besar tegangan dapat dilakukan dengan 2 cara. Pertama, dengan mengatur tegangan input DC dari luar tetapi lebar waktu penyaklaran tetap. Kedua, mengatur lebar waktu penyaklaran dengan tegangan input DC tetap. Pada cara yang kedua besar tegangan AC efektif yang dihasilkan merupakan fungsi dari pengaturan lebar pulsa penyaklaran. Cara inilah yang disebut dengan *Pulse Width Modulation* (PWM).

Secara garis besar, rangkaian inverter dapat dikelompokkan menjadi dua, yaitu: (a) Inverter sumber arus dan (b) Inverter sumber tegangan. Inverter sumber arus disuplai langsung dari sumber arus. Idealnya sumber arus tersebut memiliki impedansi internal tak terhingga. Inverter sumber tegangan disuplai langsung dari sumber tegangan. Idealnya, sumber tegangan yang digunakan memiliki impedansi dalam nol yang akan mengantarkan arus konstan tak terbatas.



Gambar 10. Penomoran komponen penyaklaran daya pada jembatan inverter satu fasa.

Tegangan bolak-balik pada terminal A-B (gambar 10) dihasilkan dari kombinasi penyaklaran komponen penyaklaran daya yang bersilangan. Dengan asumsi penomoran komponen penyaklaran daya seperti gambar 10, maka ketika  $g_1$  dan  $g_2$  berlogika “1” ( $Q_1$  dan  $Q_2$  “ON”), arus akan mengalir dari  $Q_1$  ke  $Q_2$  melewati beban sehingga tegangan antara terminal A dan B akan positif ( $V_{AB} = +V_{DC}$ ). Ketika  $g_3$  dan  $g_4$  berlogika “1” ( $Q_3$  dan  $Q_4$  “ON”), arus mengalir dari  $Q_3$  ke  $Q_4$  melalui beban sehingga  $V_{AB} = -V_{DC}$ . Hubungan kombinasi penyaklaran komponen penyaklaran daya terhadap tegangan keluaran inverter ditunjukkan tabel 1.

Tabel 1. Kombinasi penyaklaran komponen penyaklaran daya dan tegangan keluaran inverter.

Pasangan 1		Pasangan 2		Tegangan keluaran
$Q_1$	$Q_4$	$Q_2$	$Q_3$	$V_{AB}$
ON	OFF	ON	OFF	$+ V_{DC}$
OFF	ON	OFF	ON	$- V_{DC}$
OFF	ON	ON	OFF	0
ON	OFF	OFF	ON	0



Tiap pasangan komponen penyaklaran daya yang dirangkai seri tidak boleh “ON” bersamaan karena akan menyebabkan hubungan pendek pada inverter.

Dewan dkk (1984) mengelompokkan inverter sumber tegangan menjadi tiga macam, yaitu:

1. Inverter dengan tegangan penyearah terkontrol
2. Inverter dengan tegangan searah berubah melalui chopper
3. Inverter PWM dengan tegangan penyearah tetap

Tesis ini dimaksudkan untuk membangkitkan sinyal PWM untuk kemudi inverter sumber tegangan jenis ketiga di atas. Konfigurasi inverter sumber tegangan ketiga menggunakan sumber tegangan DC konstan dari penyearah tetap. Besar tegangan AC efektif ( $V_{rms}$ ) dikendalikan oleh inverter dengan PWM melalui pengubahan indeks modulasi. Konfigurasi ini mempunyai tingkat kerumitan lebih tinggi dibandingkan konfigurasi lainnya karena memerlukan rangkaian pembangkit sinyal PWM dengan frekuensi dan tegangan yang dapat diubah.

### 3. Pembangkitan Sinyal PWM Sinusoida Satu Fasa Secara Analog

Indeks modulasi adalah perbandingan antara amplitudo maksimum sinus ( $A_r$ ) dan amplitudo maksimum segitiga ( $A_c$ ). Indeks modulasi dirumuskan:

$$M = A_r/A_c \quad (1)$$

dengan M = Indeks modulasi

$A_r$  = Amplitudo maksimum sinus

$A_c$  = Amplitudo maksimum segitiga

Indeks modulasi yang nilainya antara 0 sampai 1 akan menentukan lebar pulsa tegangan rata-rata dalam satu periode.

Prinsip kerja pembangkitan sinyal PWM sinusoida satu fasa (gambar 11) adalah mengatur lebar pulsa mengikuti pola gelombang sinusoida. Sinyal sinus dengan frekuensi  $f$  dan amplitudo maksimum  $A_r$  sebagai referensi digunakan untuk memodulasi sinyal pembawa segitiga dengan frekuensi  $f_c$  dan amplitudo maksimum  $A_c$ . Sebagai sinyal pembawa, frekuensi sinyal segitiga harus lebih tinggi dari pada sinyal pemodulasi (sinyal sinus). Frekuensi sinyal referensi menentukan frekuensi keluaran inverter. Sinyal pembangkit yang bersesuaian dengan gambar 10 dan gambar 11 diperoleh dengan cara sebagai berikut:

- a. Sinyal  $g_1$  diperoleh dengan membandingkan sinyal referensi  $\sin(\omega t)$  dan sinyal pembawa  $sgt(\omega t)$ :

$$g_1 = \begin{cases} 1, & \text{jika } A_r \cdot \sin(\omega t) \geq A_c \cdot sgt(\omega t) \\ 0, & \text{lainnya} \end{cases} \quad (2)$$

atau

$$g_1 = \begin{cases} 1, & \text{jika } M \cdot \sin(\omega t) \geq sgt(\omega t) \\ 0, & \text{lainnya} \end{cases} \quad (3)$$

- b. Sinyal  $g_3$  diperoleh dengan membandingkan sinyal referensi  $-\sin(\omega t)$  dan sinyal pembawa  $sgt(\omega t)$ :

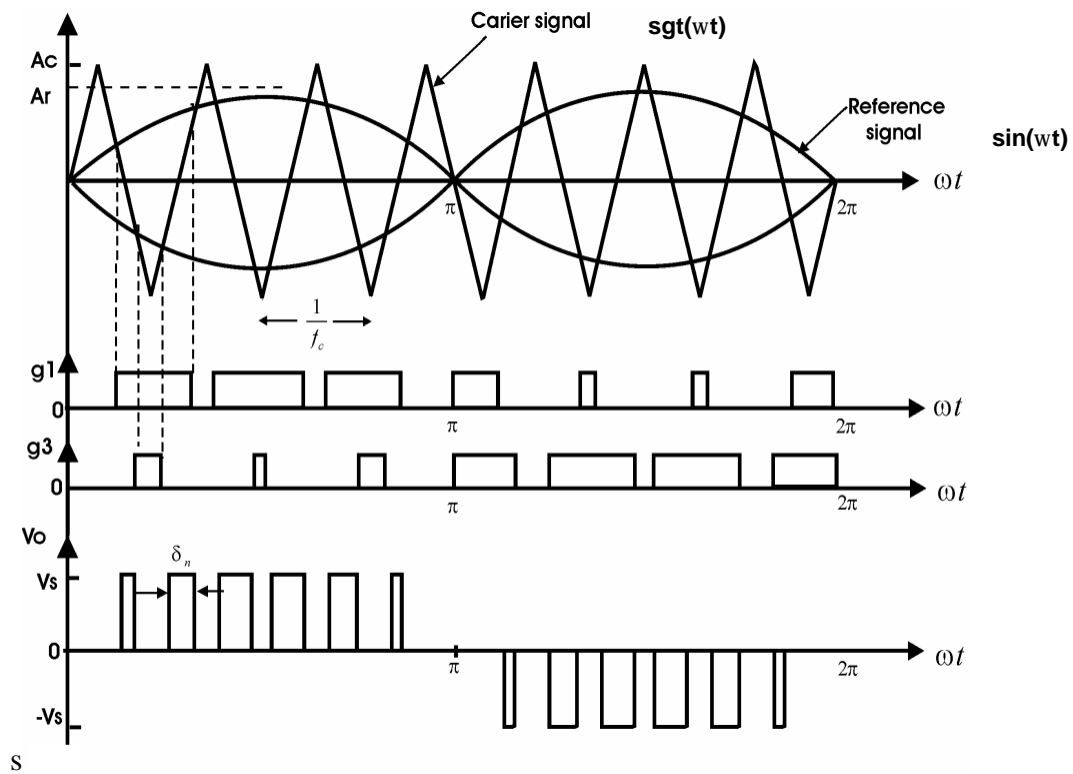
$$g_3 = \begin{cases} 1, & \text{jika } A_r \cdot -\sin(\omega t) \geq A_c \cdot sgt(\omega t) \\ 0, & \text{lainnya} \end{cases} \quad (4)$$

atau

$$g_3 = \begin{cases} 1, & \text{jika } M \cdot -\sin(\omega t) \geq \text{sgt}(\omega t) \\ 0, & \text{lainnya} \end{cases} \quad (5)$$

c. Sinyal  $g_2 = -g_3$

d. Sinyal  $g_4 = -g_1$



Gambar 11. Pembangkitan PWM sinusoida satu fasa secara analog.

Sedangkan tegangan sesaat keluaran inverter PWM sinusoida satu fasa adalah sebagai berikut:

a. Pada setengah periode positif, keluaran tegangan ditentukan oleh sinyal  $g_1$  dan  $g_2$ .

$$V_o = \begin{cases} V_s, & \text{jika } g_1 \text{ dan } g_2 \text{ "ON" bersamaan} \\ 0, & \text{lainnya} \end{cases} \quad (6)$$

b. Pada setengah periode negatif, keluaran tegangan ditentukan oleh sinyal  $g_3$  dan  $g_4$ .

$$V_o = \begin{cases} -V_s, & \text{jika } g_3 \text{ dan } g_4 \text{ "ON" bersamaan} \\ 0, & \text{lainnya} \end{cases} \quad (7)$$

Persamaan (5) dapat dinyatakan sebagai berikut:

$$g_3 = \begin{cases} 1, & \text{jika } M.\sin(\omega t) \geq -\text{sgt}(\omega t) \\ 0, & \text{lainnya} \end{cases} \quad (8)$$

Berdasarkan persamaan (3) dan (5), maka pembangkitan sinyal PWM sinusoida satu fasa dapat dilakukan dengan menggunakan 2 buah sinyal sinus ( $\sin(\omega t)$  dan  $-\sin(\omega t)$ ) dan 1 sinyal segitiga. Sedangkan berdasarkan persamaan (3) dan (8), pembangkitan sinyal PWM sinusoida satu fasa dapat dilakukan dengan menggunakan 1 sinyal sinus ( $\sin(\omega t)$ ) dan 2 sinyal segitiga ( $\text{sgt}(\omega t)$  dan  $-\text{sgt}(\omega t)$ ). Metode kedua akan digunakan pada tesis ini.

Besar tegangan AC efektif yang dihasilkan tergantung pada lebar pulsa. Nilai tegangan efektifnya dirumuskan sebagai berikut:

$$V_{\text{rms}} = V_s \left( \sum_{m=1}^p \frac{d_m}{T} \right)^{1/2} \quad (9)$$

dengan  $V_{\text{rms}}$  = tegangan efektif

$V_s$  = tegangan catu daya inverter =  $V_{\text{DC}}$

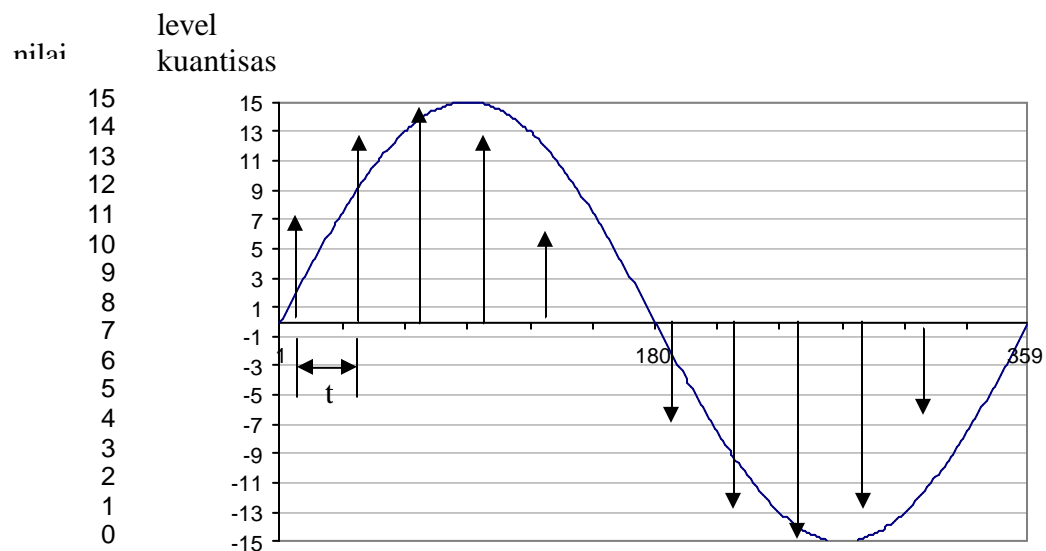
$\delta_m$  = lebar pulsa ke- $m$

$p$  = jumlah pulsa per setengah periode.

$T$  = periode

#### 4. Pembangkitan Sinyal PWM Sinusoida Satu Fasa Secara Digital

Pada tesis ini, sinyal PWM sinusoida dibangkitkan dengan menggunakan perangkat keras FPGA XC4013. Karena FPGA bekerja secara digital, maka sinyal sinus dan segitiga juga harus direpresentasikan secara digital. Sebuah ilustrasi proses pendigitalan sinyal  $15.\sin(x)$  yang dicuplik 12 kali frekuensi dasarnya ditunjukkan pada gambar 12.



Gambar 12. Proses pencuplikan, kuantisasi dan penyandian sinyal  $\sin(x)$ .

Tabel 2. Proses pencuplikan, pengkuantisasian dan penyandian.

<b>x (derajat)</b>	<b>15.sin(x)</b>	<b>level terkuantisasi</b>	<b>nilai sandi (desimal)</b>	<b>sandi biner 4 bit <math>D_3D_2D_1D_0</math></b>
0	0,00	1	8	1 0 0 0
30	7,50	7	11	1 0 1 1
60	12,99	13	14	1 1 1 0
90	15,00	15	15	1 1 1 1
120	12,99	13	14	1 1 1 0
150	7,50	7	11	1 0 1 1
180	0,00	1	8	1 0 0 0
210	-7,50	-7	4	0 1 0 0
240	-12,99	-13	1	0 0 0 1
270	-15,00	-15	0	0 0 0 0
300	-12,99	-13	1	0 0 0 1
330	-7,50	-7	4	0 1 0 0

Pada kasus ini, penyandian sinyal sinus dilakukan dengan 16 level kuantisasi dan ukuran step antar level kuantisasi di-set 2. Nilai diskret sinyal sinus tiap bagian pencuplikan ditunjukkan pada tabel. 2. Nilai diskret ini selanjutnya diquantisasi dan disandikan. Dari proses pendigitalan sinyal sinus di atas (tabel 2), maka terbentuk memori sinus dengan 12 data. Memori ini cukup dialamati dengan 4 bit. Untuk merealisasikan memori sinus tersebut dalam rangkaian logika, dapat dibuat tabel kebenaran seperti ditunjukkan pada tabel 3.

Tabel 3. Tabel kebenaran memori sinus.

<b>No</b>	<b>alamat <math>A_3A_2A_1A_0</math> (Input)</b>	<b>sandi 4 bit <math>D_3D_2D_1D_0</math> (Output)</b>	<b>No</b>	<b>alamat <math>A_3A_2A_1A_0</math> (Input)</b>	<b>sandi 4 bit <math>D_3D_2D_1D_0</math> (Output)</b>
1	0000	1 0 0 0	1	1001	0 0 0 0
2	0001	1 0 1 1	2	1010	0 0 0 1
3	0010	1 1 1 0	3	1011	0 1 0 0
4	0011	1 1 1 1	4	1100	d d d d
5	0100	1 1 1 0	5	1101	d d d d
6	0101	1 0 1 1	6	1110	d d d d
7	0110	1 0 0 0	7	1110	d d d d
8	0111	0 1 0 0	8	1111	d d d d

d = kondisi bebas (*don't care*)

Menurut Lee (1976), semua minterm dari bentuk *sum of product* suatu fungsi digital dapat diperoleh dari baris-baris tabel kebenaran yang dipetakan ke 1. Minterm adalah bentuk perkalian yang berisi semua variabel input dari fungsi logika. Masing-masing harga 0 dari suatu variabel menyatakan bentuk komplemen dari variabel tersebut, dan masing-masing harga 1 dari suatu variabel menyatakan bentuk non-komplemen dari variabel tersebut. Alasan bahwa baris 0000 berhubungan dan hanya berhubungan dengan minterm  $A_3'A_2'A_1'A_0'$  adalah karena  $A_3'A_2'A_1'A_0' = 1$  jika dan hanya jika  $A_3=0$ ,  $A_2=0$ ,  $A_1=0$  dan  $A_0=0$ . Begitu pula alasan bahwa baris 0001 berhubungan dan hanya berhubungan dengan minterm  $A_3'A_2'A_1'A_0$  adalah karena  $A_3'A_2'A_1'A_0 = 1$  jika dan hanya jika  $A_3=0$ ,  $A_2=0$ ,  $A_1=0$  dan  $A_0=1$ , dan begitu seterusnya untuk baris yang lain.

Pada umumnya  $m$  digunakan untuk menyatakan minterm. Sedangkan baris-baris tabel kebenaran yang dinyatakan dengan angka biner (0000, 0001, 0010 dan seterusnya), dapat diganti dengan angka desimal yang bersangkutan (0, 1, 2 dan seterusnya). Berdasarkan teori Lee (1976) di atas, bentuk *sum of product* dari fungsi memori sinus pada kasus di atas dapat dituliskan sebagai berikut:

$$D_3(A_3, A_2, A_1, A_0) = \sum_m (0, 1, 2, 3, 4, 5, 6) + \sum_d (12, 13, 14, 15)$$

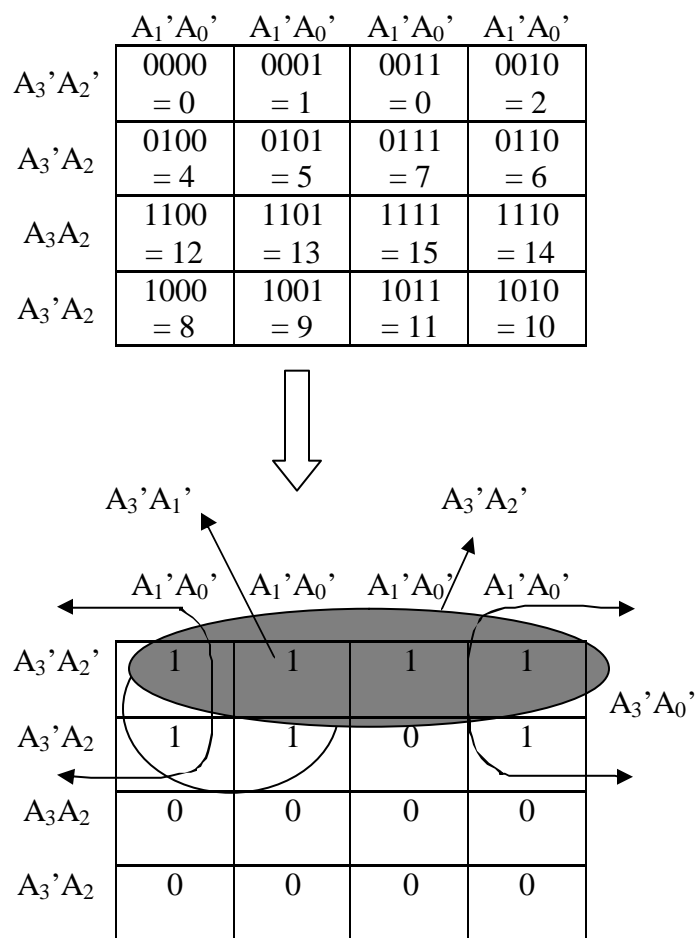
$$D_2(A_3, A_2, A_1, A_0) = \sum_m (2, 3, 4, 7, 11) + \sum_d (12, 13, 14, 15)$$

$$D_1(A_3, A_2, A_1, A_0) = \sum_m (1, 2, 3, 4, 5) + \sum_d (12, 13, 14, 15)$$

$$D_0(A_3, A_2, A_1, A_0) = \sum_m (1, 3, 5, 8, 10) + \sum_d (12, 13, 14, 15)$$

Keempat bentuk standar persamaan *sum of product* ini, selanjutnya disederhanakan dengan menggunakan metode peta Karnaugh. Melalui penyederhanaan dengan metode peta Karnaugh seperti ditunjukkan pada gambar 13, maka diperoleh  $D_4$  sebagai berikut:

$$D_4 = A_3'A_2' + A_3'A_1' + A_3'A_0' = A_3' (A_2' + A_1' + A_0')$$



Gambar 13. Penyederhanaan dengan metode peta Karnaugh untuk  $D_4$ .

Pemetaan ekspresi *sum of product* dalam bentuk standar pada peta Karnaugh dilakukan dengan meletakkan 1 pada peta untuk tiap-tiap bentuk perkalian pada



ekspresi *sum of product* tersebut. Masing-masing 1 diletakkan pada sel yang berhubungan dengan dengan nilai bentuk perkalian tersebut. Sebagai contoh, untuk bentuk perkalian  $A_3'A_2'A_1A_0$ , 1 diletakkan pada sel 0011 pada peta Karnaugh 4 variabel. Jika ekspresi *sum of product* sudah terpetakan semua, akan ada sejumlah 1 pada peta Karnaugh yang sama dengan jumlah bentuk perkalian pada ekspresi *sum of product* standar. Sel yang tidak mempunyai 1, adalah sel yang mengekspresikan 0. Biasanya, ketika mengerjakan ekspresi *sum of product*, 0 tak diletakkan pada peta Karnaugh. Hasil penyederhanaan inilah yang kemudian direalisasikan dengan rangkaian digital. Prosedur yang sama dilakukan untuk  $D_2$ ,  $D_1$  dan  $D_0$ , sehingga diperoleh rangkaian digital yang efisien dalam penggunaan gerbang digital. Rangkaian digital ini berfungsi sebagai memori sinus.

Proses yang telah dijelaskan di atas adalah proses pendigitalan sinyal yang dicuplik menjadi 12 bagian dan disandikan dengan 4 bit. Pada proses penyederhanaan gerbang tersebut, persoalan penyederhanaan gerbang yang diselesaikan adalah sistem dengan 4 variabel input dan 4 variabel output. Jika sinyal sinus dicuplik menjadi 32 bagian, persoalan di atas akan berkembang menjadi persoalan penyederhanaan sistem dengan 5 variabel input. Begitu pula jika sinyal sinus dicuplik menjadi 256 bagian, maka persoalan di atas akan berkembang menjadi persoalan penyederhanaan sistem dengan 8 variabel input, dan begitu seterusnya.

Proses pendigitalan yang sama dilakukan pada sinyal segitiga, dengan pencuplikan yang sinkron sehingga operasi pembandingan sinyal sinus dan segitiga dapat dilakukan.

Semakin tinggi frekuensi sinyal pencuplikan maka semakin teliti proses pengkuantisasian dan penyandian sinyal, akan tetapi memerlukan jumlah gerbang digital yang lebih banyak. Pada tesis ini, sinyal sinus dicuplik menjadi 360 bagian dengan 255 level pengkuantisasian, sehingga sistem yang harus diselesaikan adalah penyederhanaan dengan 9 variabel input dan 8 variabel output.

Setelah semua sinyal sinus dan segitiga direalisasikan dalam rangkaian digital (berfungsi sebagai memori sinus dan segitiga), maka operasi pembandingan sandi sinus dan sandi segitiga dapat dilakukan. Operasi pembandingan dilakukan dengan membandingkan tiap bit sandi sinus dan segitiga pada posisi yang bersesuaian (sama) mulai dari  $D_7$  (MSB) sampai  $D_0$  (LSB). Operasi pembandingan tersebut memberikan beberapa kemungkinan seperti ditunjukkan tabel 4.

Tabel 4. Operasi pembandingan magnitudo sandi sinus dan sandi segitiga.

D <sub>7</sub>			D <sub>6</sub>			D <sub>5</sub>			D <sub>4</sub>			D <sub>3</sub>			D <sub>2</sub>			D <sub>1</sub>			D <sub>0</sub>			Komparator  A  &  B		
>	=	<	>	=	<	>	=	<	>	=	<	>	=	<	>	=	<	>	=	<	>	=	<	>	=	<
0	1	0	0	1	0	0	1	0	0	1	0	0	1	0	0	1	0	0	1	0	0	1	0	0	1	0
0	1	0	0	1	0	0	1	0	0	1	0	0	1	0	0	1	0	0	1	0	1	0	0	1	0	0
0	1	0	0	1	0	0	1	0	0	1	0	0	1	0	0	1	0	1	0	0	d	d	d	1	0	0
0	1	0	0	1	0	0	1	0	0	1	0	0	1	0	1	0	0	d	d	d	d	d	d	1	0	0
0	1	0	0	1	0	0	1	0	0	1	0	1	0	0	d	d	d	d	d	d	d	d	d	1	0	0
0	1	0	0	1	0	0	1	0	1	0	0	d	d	d	d	d	d	d	d	d	d	d	d	1	0	0
0	1	0	0	1	0	1	0	0	d	d	d	d	d	d	d	d	d	d	d	d	d	d	d	1	0	0
0	1	0	1	0	0	d	d	d	d	d	d	d	d	d	d	d	d	d	d	d	d	d	d	1	0	0
1	0	0	d	d	d	d	d	d	d	d	d	d	d	d	d	d	d	d	d	d	d	d	d	1	0	0
0	0	1	d	d	d	d	d	d	d	d	d	d	d	d	d	d	d	d	d	d	d	d	d	0	0	1
0	1	0	0	0	1	d	d	d	d	d	d	d	d	d	d	d	d	d	d	d	d	d	d	0	0	1
0	1	0	0	1	0	0	0	1	d	d	d	d	d	d	d	d	d	d	d	d	d	d	d	0	0	1
0	1	0	0	1	0	0	1	0	0	0	1	d	d	d	d	d	d	d	d	d	d	d	d	0	0	1
0	1	0	0	1	0	0	1	0	0	1	0	0	0	1	d	d	d	d	d	d	d	d	d	0	0	1
0	1	0	0	1	0	0	1	0	0	1	0	0	1	0	0	0	1	d	d	d	d	d	d	0	0	1
0	1	0	0	1	0	0	1	0	0	1	0	0	1	0	0	1	0	0	0	1	d	d	d	0	0	1
0	1	0	0	1	0	0	1	0	0	1	0	0	1	0	0	1	0	0	0	1	0	0	0	1	0	0

Keterangan:

A : Sandi Sinus

B : Sandi Segitiga

d : Kondisi bebas (*don't care*)

0 : Tidak

1 : Ya

Pada tabel tersebut, sandi sinus digunakan sebagai acuan pada operasi perbandingan.

Berdasarkan tabel 4, operasi perbandingan sandi sinus dan segitiga direalisasikan dalam bentuk rangkaian digital. Sinyal pembangkit PWM sinusoida  $g_1$ ,  $g_2$ ,  $g_3$  dan  $g_4$  diperoleh dengan operasi perbandingan sandi sinus dan segitiga dengan prinsip dasar perbandingan yang sama seperti pembangkitan sinyal PWM sinusoida secara analog.

## 5. FPGA (*Field Programmable Gate Array*) Xilinx

XC4000 merupakan hasil pengembangan dan penyempurnaan teknologi FPGA dari generasi sebelumnya. XC4000 mampu mendukung sistem dengan kecepatan *clock* hingga 50 MHz. XC4000 dilengkapi dengan RAM di dalam chip dan dekoder input yang lebar sehingga lebih berdaya guna untuk aplikasi-aplikasi sistem digital. Keluarga XC4000 mempunyai beberapa varian dengan kapasitas berkisar 2000 sampai 25000 gerbang. Pada tesis ini digunakan XC4013 yang mempunyai parameter seperti pada tabel 5 berikut.

Tabel 5. Parameter-parameter FPGA Xilinx XC4013.

PARAMETER	XC4013
jumlah gerbang	13.000
jumlah CLB	576
jumlah flip flop	1.536
jumlah max IOB	192

## 6. Perangkat Lunak Yang Berhubungan Dengan Perancangan FPGA

Penggunaan perangkat lunak dalam suatu perancangan sistem elektronis bertujuan untuk memperoleh efisiensi dalam hal sintesis dan optimalisasi rancangan. Karakter suatu rancangan dapat diketahui sebelum diimplementasikan dalam bentuk perangkat keras sehingga memudahkan untuk melakukan perbaikan terhadap rancangan tersebut.

Rancangan suatu sistem digital yang akan diimplementasikan dalam bentuk perangkat keras menggunakan FPGA dibuat melalui beberapa tahap :

1. Pembuatan desain (*Design Entry*), yaitu proses pembuatan rangkaian yang akan diimplementasikan menggunakan FPGA.
2. Verifikasi desain (*Design Verification*), yaitu memeriksa desain yang telah dibuat dengan cara simulasi.
3. Pemetaan, penempatan dan routing desain (*Mapping, placing and routing*), yaitu pemetaan gerbang, penempatan pin dan routing pembuatan jalur jalur koneksi desain ke dalam FPGA.
4. Implementasi desain (*Design Imlementation*), yaitu mengimplementasikan rancangan dalam bentuk perangkat keras.

Langkah langkah diatas dapat dilakukan dengan bantuan 3 perangkat lunak komputer yaitu OrCAD, XACT dan Stagcom. OrCAD digunakan untuk melakukan langkah 1 dan 2 sedangkan XACT dan Stagcom digunakan untuk melakukan langkah 3 dan 4.

### **C. Hipotesis**

Berdasarkan landasan teori di atas, dapat diambil suatu hipotesis bahwa rancangan pembangkit sinyal PWM sinusoida dua fasa dapat direalisasikan (dikonfigurasi secara perangkat keras) ke sistem FPGA XC4013.

### **D. Rencana Penelitian**

Rencana penelitian untuk mendesain pembangkit sinyal PWM Sinusoida dua fasa yang direalisasikan ke dalam sebuah sistem FPGA Xilinx seri XC4013 adalah sebagai berikut:

1. Mendesain tiap blok penyusun dan pendukung pembangkit sinyal PWM yang digambar di OrCAD untuk membangkitkan sinyal PWM sinusoida dua fasa.
2. Menguji secara simulasi tiap blok penyusun dan pendukung pembangkit sinyal PWM sinusoida dua fasa
3. Jika tiap blok penyusun dan pendukung telah benar, dilanjutkan dengan integrasi semua blok penyusun dan pendukung.
4. Menguji hasil integrasi sistem secara simulasi.
5. Jika simulasi sistem pembangkit PWM sinusoida dua fasa telah berjalan dengan benar selanjutnya dilanjutkan dengan membuat netlist di OrCAD sehingga dihasilkan file \*.INF.
6. Jika File \*.INF telah terbentuk, dilanjutkan dengan membuat XNF di Xilinx sehingga dihasilkan file \*.XNF.
7. Mengisi lokasi I/O yang akan dipakai

8. XMAKE pada XDM sehingga dihasilkan file-file \*.XFF, \*.XTF, \*.BIT dan \*.LCA.
9. MAKE PROM pada XDE, sehingga dihasilkan file TEK-HEK.
10. Mengisikan ke EPROM dan uji coba.
11. Jika hasil uji coba belum benar, maka dilakukan *troubleshooting* dari awal. Jika hasil sudah benar dapat dilakukan pengambilan data, analisis dan penulisan laporan.

### III. CARA PENELITIAN

#### A. Bahan atau Materi Penelitian

Bahan atau materi yang digunakan dalam penelitian ini berupa komponen utama dan perangkat lunak antara lain :

1. Sebuah keping FPGA Xilinx seri XC4013-PG223-5.

Komponen XC4000 mempunyai 13000 gerbang dengan jumlah CLB sebesar 576, IOB sebesar 192, dan interkoneksi yang dapat diprogram.

2. IC EPROM tipe AT27C256R (256 KByte).

IC EPROM tersebut digunakan untuk menyimpan rancangan yang sudah mempunyai format TEK-HEX.

3. OrCAD versi 9.1 dengan menambah *library* XC4000 dari OrCAD versi 9.

Perangkat lunak ini digunakan sebagai alat bantu dalam proses perancangan untai digital dan simulasinya.

4. XACT ( *Xilinx Automatic CAE Tools* ).

Perangkat lunak tersebut digunakan untuk pemrograman dan implementasi rancangan digital pada FPGA Xilinx. XACT mempunyai 2 bagian utama, yaitu : XDM (*XACT Design Manager*) dan XDE (*XACT Design Editor*).

5. *StagCom Windows Application* versi 5.20.

Perangkat lunak yang dipakai sebagai alat bantu untuk proses pengisian EPROM.

## **B. Alat Penelitian**

Alat yang dipergunakan untuk melaksanakan penelitian ini adalah :

1. Komputer dengan spesifikasi P-III 1,2 GHz RAM 128 MB.

Komputer ini digunakan untuk pembuatan dan simulasi perangkat lunak, perancangan dan simulasi perangkat keras, proses *download* dan pengisian EPROM.

2. *Demoboard*.

Dipakai untuk proses pengujian dan pengambilan data dari rancangan yang telah diimplementasikan ke dalam FPGA.

3. EPROM *Programmer/Writer* Stag P301.

Digunakan sebagai alat untuk mengisi EPROM.

4. *Digital Storage Oscilloscope OS-3040D*.

Digunakan ketika proses pengujian rancangan dan pengambilan data keluaran sistem FPGA.

5. EPROM *Eraser*.

Untuk menghapus EPROM yang akan digunakan sebelum EPROM tersebut diisi rancangan yang baru.

## **C. Jalan Penelitian**

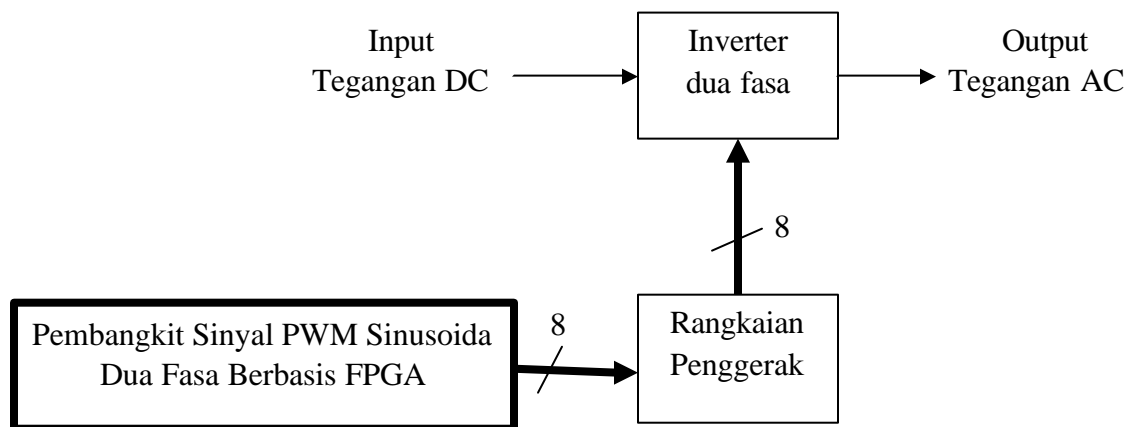
Langkah-langkah yang telah diambil pada pelaksanaan penelitian meliputi perancangan perangkat lunak, pengujian secara simulasi, konfigurasi rancangan ke perangkat keras sistem FPGA Xilinx XC4013, pengujian, pengumpulan data dan



analisis pembangkit sinyal PWM Sinusoida dua fasa yang diimplementasikan dengan FPGA XC4013.

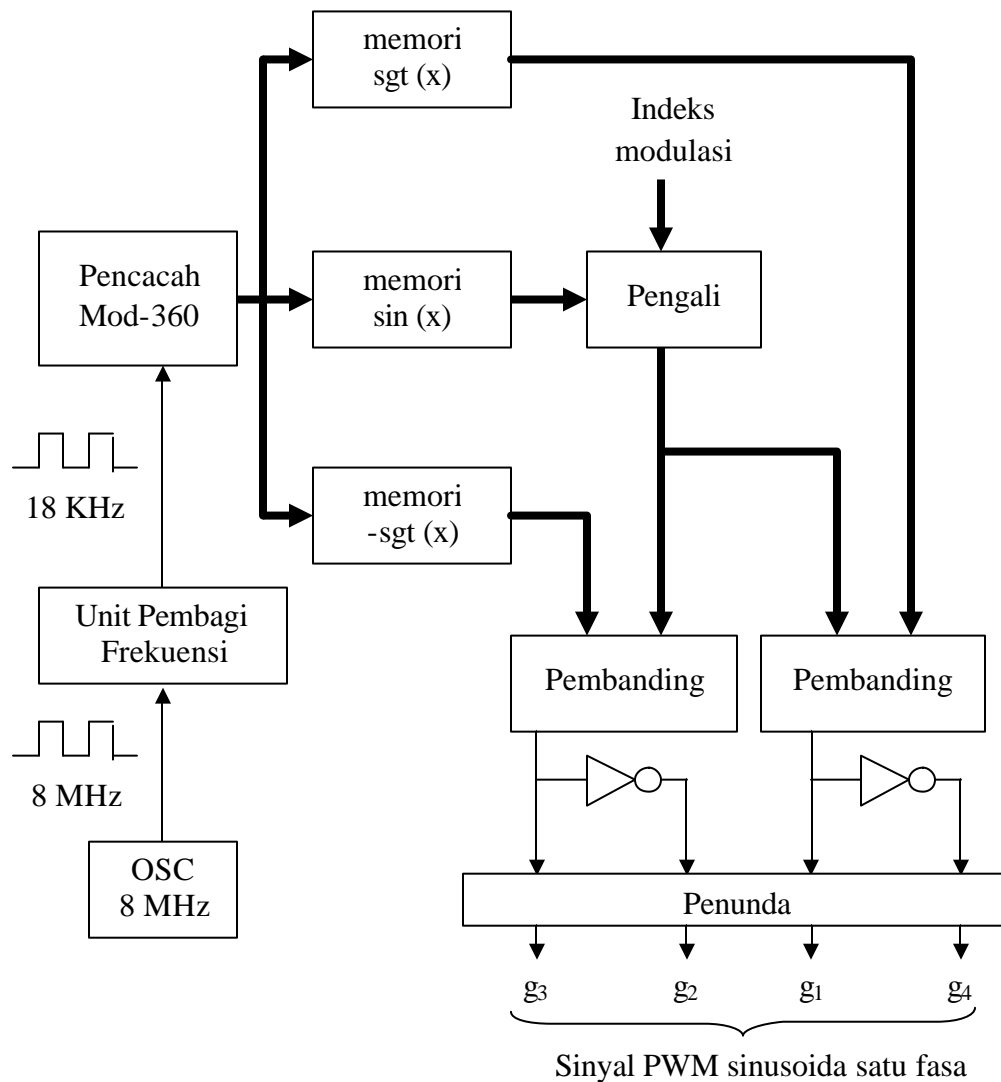
### 1. Perancangan Pembangkit Sinyal PWM Sinusoida Satu Fasa

Diagram kotak inverter PWM sinusoida dua fasa berbasis FPGA dapat digambarkan seperti gambar 14. Kotak dengan garis tebal merupakan sistem yang akan dirancang pada tesis ini.



Gambar 14. Diagram kotak inverter PWM sinusoida dua fasa berbasis FPGA.

Pembangkit sinyal PWM sinusoida dua fasa pada dasarnya adalah dua buah pembangkit sinyal PWM sinusoida satu fasa. Diagram kotak pembangkit sinyal PWM sinusoida satu fasa dapat digambarkan seperti gambar 15 berikut.



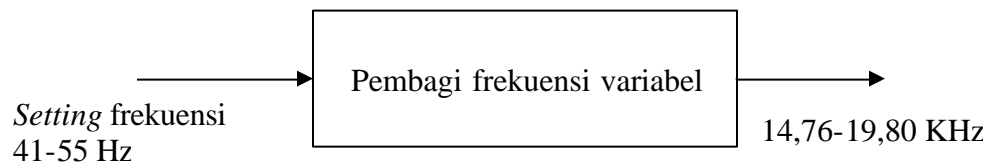
Gambar 15. Diagram kotak pembangkit sinyal PWM sinusoida satu fasa.

#### a. Unit Pembagi Frekuensi

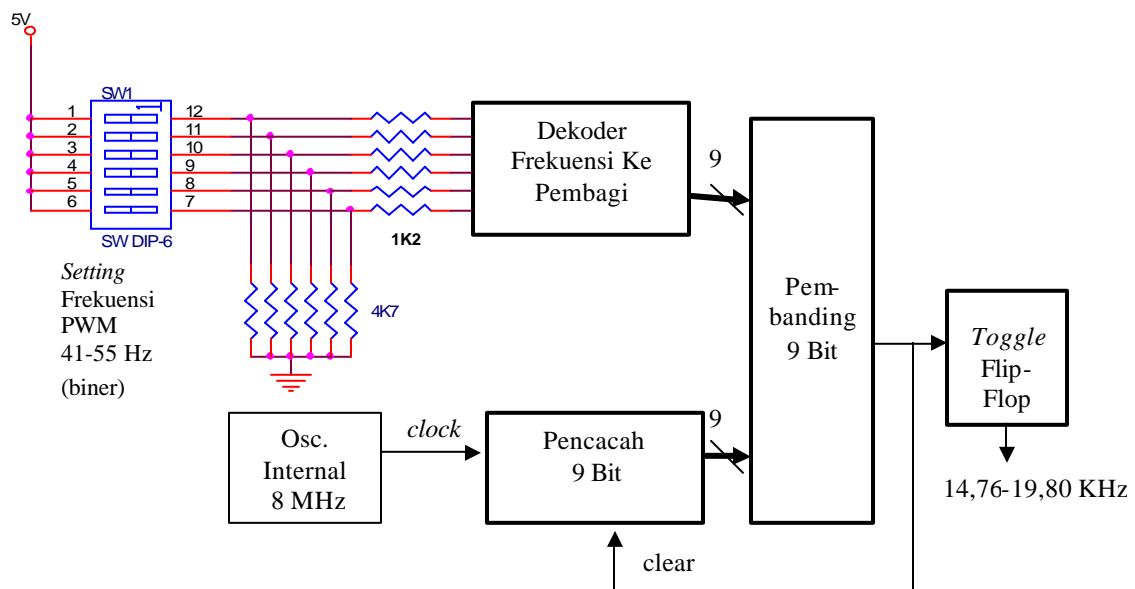
Unit pembagi frekuensi digunakan untuk memperoleh pulsa *clock* 18 KHz. Berdasarkan penelitian Zaki (2001) dan Bejo (2004), osilator internal yang ada pada modul FPGA memiliki keluaran frekuensi *clock* yang berbeda dari *datasheet*-nya, sehingga pada tesis ini diupayakan cara lain untuk mendapatkan pulsa *clock* pencacah dengan frekuensi 18 KHz. Metode yang ditempuh adalah dengan membuat unit

pembagi frekuensi yang dapat diatur. *Clock* keluaran unit ini digunakan sebagai lebar waktu satu cuplikan ( $t$ ) yang digunakan dalam pengambilan data sinus dan segitiga (pada memori sinus dan segitiga).

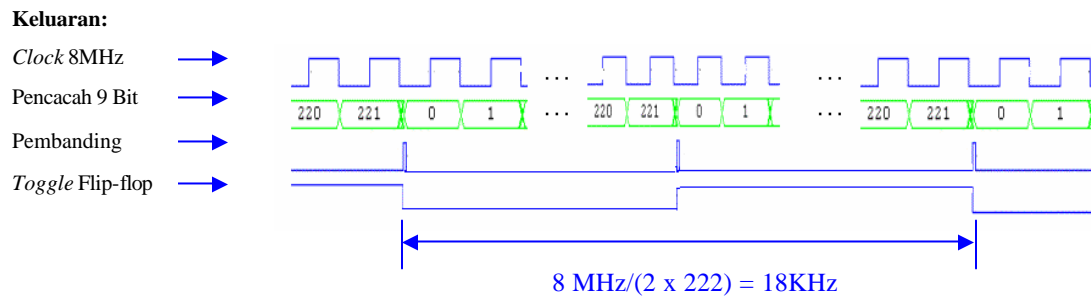
Diagram kotak unit pembagi frekuensi yang dapat diatur ditunjukkan pada gambar 16. Rancangan unit pembagi frekuensi yang dapat diatur ditunjukkan pada gambar 17. Ilustrasi kerja rancangan unit pembagi frekuensi gambar 17 dengan *setting* frekuensi 50 Hz ditunjukkan pada gambar 18.



Gambar 16. Diagram kotak unit pembagi frekuensi.



Gambar 17. Rancangan unit pembagi frekuensi.



Gambar 18. Ilustrasi kerja unit pembagi frekuensi.

Keluaran pencacah 9 bit tiap saat dibandingkan dengan keluaran dekoder frekuensi ke pembagi, jika tidak sama keluaran pembanding sama dengan “0” dan pencacah 9 bit terus mencacah, jika sama keluaran pembanding sama dengan “1” yang mengakibatkan pencacah reset dan keluaran *toggle* flip-flop berkebalikan dengan sebelumnya. Input dekoder frekuensi diberikan melalui Dip-Sw.

Secara keseluruhan unit pembagi frekuensi dapat bekerja bila data pembagi frekuensi telah diisi terlebih dahulu. Data ini tidak boleh nol karena akan menyebabkan keluaran tak terdefinisi. Untuk menghindari hal ini maka pada unit pembagi frekuensi ditambahkan *status\_nol* yang berfungsi untuk mengetahui apakah isi data pembagi frekuensi berisi nol atau tidak. Jika data pembagi frekuensi berisi nol maka *status nol* akan mengeluarkan sinyal logika ‘0’ yang dalam sistem pembangkit PWM secara keseluruhan akan menyebabkan keluaran PWM menjadi bernilai ‘0’.

Jika data pembagi sudah dimasukan, pencacah dapat diaktifkan dengan memberikan logika ‘1’ pada masukan *enable*. Pencacah akan melakukan cacahan sebanyak *n* kali (*n*=data pembagi) dan kemudian reset. Setiap terjadi reset akan menyebabkan kondisi keluaran TFF bergulir sehingga dihasilkan sinyal *clock* dengan frekuensi yang dirumuskan:

$$f_{\text{clk}} = 8 \text{ MHz} / (2 \times n) \text{ Hz atau} \quad (4)$$

$$t_{\text{clk}} = 2 \times n \times 125 \text{ ns} \quad (5)$$

dengan  $f_{\text{clk}}$  = frekuensi *clock* keluaran  
 $t_{\text{clk}}$  = periode *clock* keluaran  
 $n$  = data pembagi

#### 1). Dekoder frekuensi ke pembagi

Bagian ini memiliki input berupa frekuensi sinyal PWM yang diharapkan dan memiliki keluaran berupa data pembagi yang sesuai untuk menghasilkan frekuensi yang diharapkan tersebut. Hubungan *setting* frekuensi PWM dan data pembagi dapat dilihat pada tabel 6. Sebagai contoh untuk menghasilkan frekuensi 41 Hz, maka data pembagi adalah  $8.000.000/(2 \times 360 \times 41) = 271,00271$ .

Tabel 6. Konversi frekuensi PWM ke data pembagi.

Setting frekuensi PWM (Hz)	Data pembagi (pecahan)	Data pembagi (bulat)
41	271,00271	271
42	264,55026	265
43	258,39793	258
44	252,52525	253
45	246,91358	247
46	241,54589	242
47	236,40662	236
48	231,48148	231
49	226,75737	227
50	222,22222	222
51	217,86492	218
52	213,67521	214
53	209,64361	210
54	205,76132	206
55	202,02020	202

Karena di luar *setting* frekuensi 41-55 Hz data pembagi dibuat nol, maka berdasarkan tabel 6 dapat dibuat tabel kebenaran seperti ditunjukkan pada tabel 7.

Tabel 7. Tabel kebenaran dekoder frekuensi ke pembagi.

No	Input Frekuensi (F <sub>5</sub> F <sub>4</sub> ...F <sub>0</sub> )	Output Data Pembagi (P <sub>8</sub> P <sub>7</sub> ...P <sub>0</sub> )	No	Input Frekuensi (F <sub>5</sub> F <sub>4</sub> ...F <sub>0</sub> )	Output Data Pembagi (P <sub>8</sub> P <sub>7</sub> ...P <sub>0</sub> )
1	000000	000000000	12	110001	011100010
2	....		13	110010	011011110
3	101000		14	110011	011011001
4	101001	100001111	15	110100	011010101
5	101010	100001000	16	110101	011010001
6	101011	100000010	17	110110	011001101
7	101100	011111100	18	110111	011001010
8	101101	011110110	19	111000	000000000
9	101110	011110001	20	111001	
10	101111	011101100	21	...	
11	110000	011100111	22	111111	

Berdasarkan tabel 7, bentuk *sum of product* dari dekoder frekuensi ke pembagi dapat ditulis sebagai berikut:

$$P_8(F_5F_4...F_0) = \sum_m (41,42,43)$$

$$P_7(F_5F_4...F_0) = \sum_m (44,45,46,...,55)$$

$$P_6(F_5F_4...F_0) = \sum_m (44,45,46,...,55)$$

$$P_5(F_5F_4...F_0) = \sum_m (44,45,46,...,49)$$

$$P_4(F_5F_4...F_0) = \sum_m (44,45,46,50,51,52,53)$$

$$P_3(F_5F_4...F_0) = \sum_m (41,42,44,47,50,51,54,55)$$

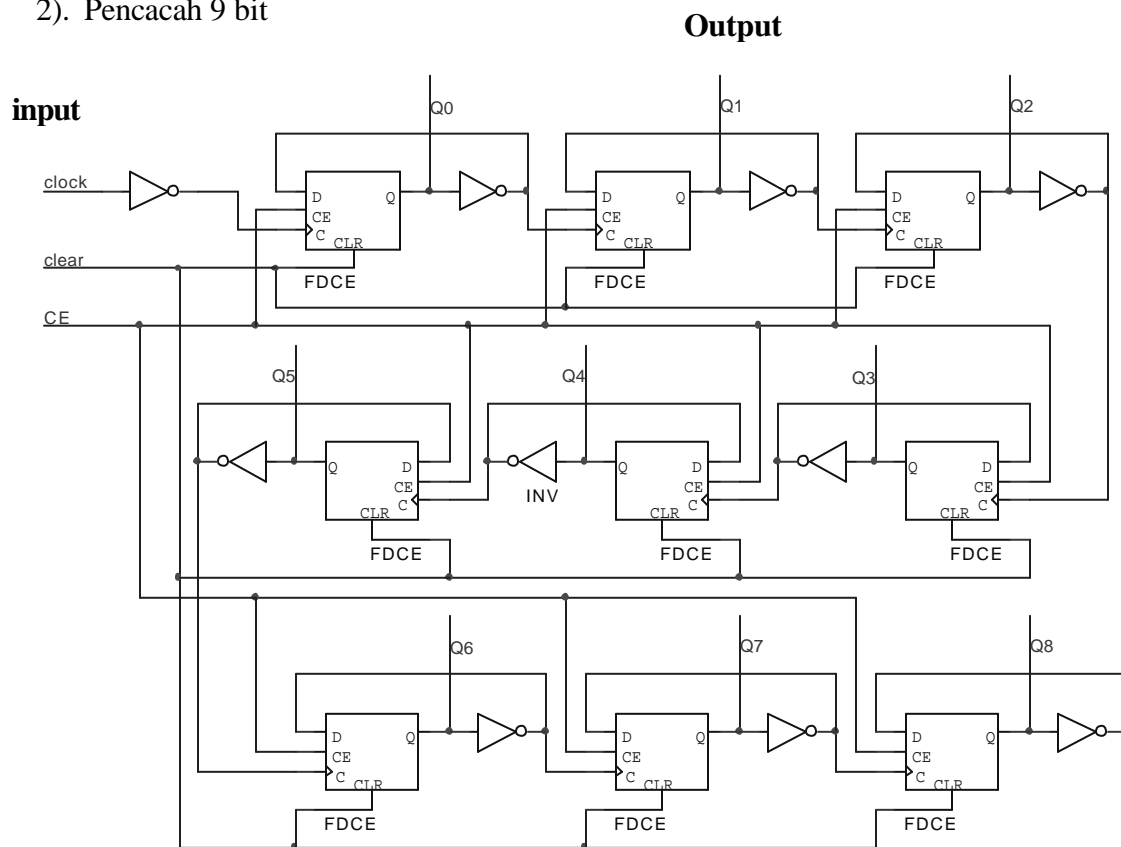
$$P_2(F_5F_4\dots F_0) = \sum_m (41,44,45,47,48,50,52,54)$$

$$P_1(F_5F_4\dots F_0) = \sum_m (41,43,45,46,48,49,50,\dots,55)$$

$$P_0(F_5F_4\dots F_0) = \sum_m (41,45,48,49)$$

Kesembilan bentuk standar persamaan *sum of product* ini selanjutnya disederhanakan dengan menggunakan metode peta Karnaugh. Hasil penyederhanaan ini kemudian direalisasikan dengan rangkaian digital.

## 2). Pencacah 9 bit



Keterangan:

- Clock* : merupakan input pencacah 9 bit
- $Q_8Q_7Q_6Q_5Q_4Q_3Q_2Q_1Q_0$  : merupakan output pencacah 9 bit
- CE : merupakan *enable* bagi pencacah 9 bit
- Clear : untuk *men-clear* pencacah 9 bit

Gambar 19. Rangkaian pencacah 9 bit.

Pencacah 9 bit berfungsi untuk melakukan cacahan dengan frekuensi *clock* dasar berasal dari clock internal 8 MHz. Pencacah ini merupakan pencacah asinkron aktif rendah yang dirancang dari 9 FDCE seperti ditunjukkan gambar 19.

Keluaran FDCE pada posisi bit terkecil di-NOT-kan dan diumpankan ke *Clock* FDCE posisi bit terkecil ke-2. Keluaran FDCE terkecil kedua di-NOT-kan dan diumpankan ke *Clock* FDCE posisi bit terkecil ketiga, dan begitu seterusnya hingga FDCE ke-9. Masukan D pada tiap flip-flop merupakan kebalikan dari keluarannya.. Pencacah diaktifkan dengan memberikan logika “1” pada CE. Keluaran pencacah akan bertambah satu saat transisi turun pada CLK. Keluaran cacahan ( $Q_8Q_7Q_6Q_5Q_4Q_3Q_2Q_1Q_0$ ) setiap saat akan dibandingkan dengan data pembagi frekuensi menggunakan pembanding 9 bit. Pencacah akan reset kembali ke 0 setiap cacahan sama dengan data pembagi.

Tabel Kebenaran FDCE ditunjukkan pada tabel 8. Komponen ini dipilih karena termasuk golongan primitive pada keluarga FPGA XC4000.

Tabel 8. Tabel kebenaran FDCE.

CLR	CE	C	D	$Q_n$
0	1	↓	d	$Q_{n-1}$
0	1	↑	0	0
0	1	↑	1	1
0	0	d	d	$Q_n$
1	d	d	d	0

Keterangan :

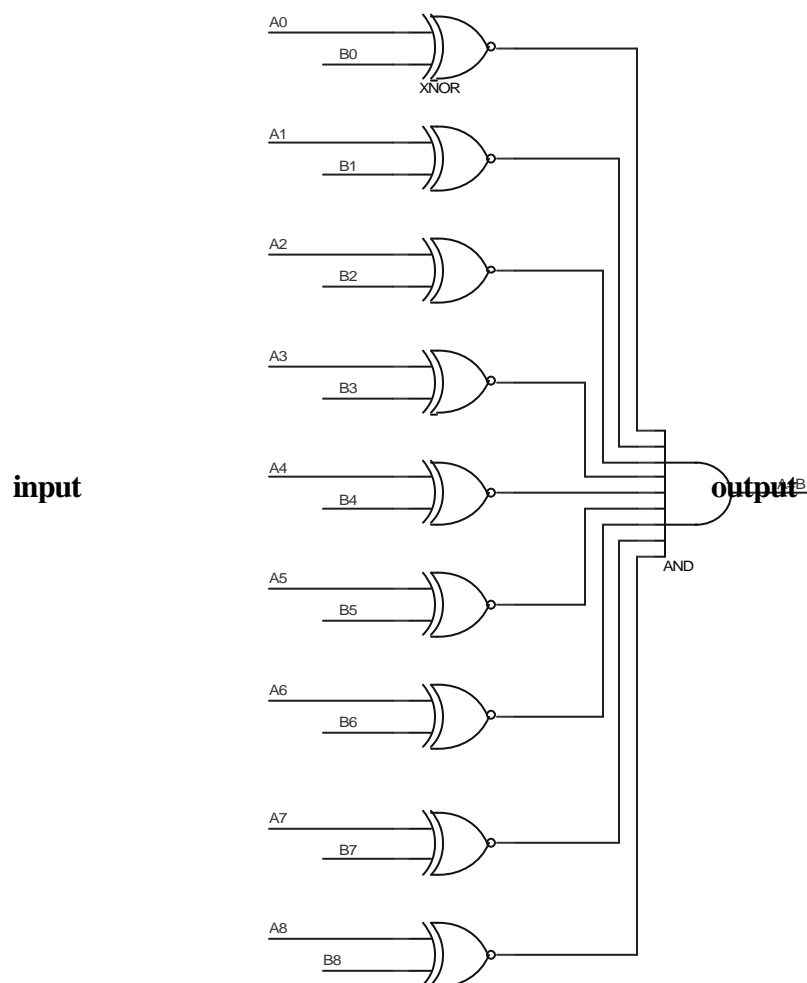
d : kondisi bebas (*don't care*)

### 3). Pembanding 9 bit

Bagian ini digunakan sebagai pembanding data pembagi frekuensi dengan data pencacah 9 bit. Gerbang XNOR digunakan untuk melakukan operasi



pembandingan pada tiap bit yang bersesuaian. Keluaran semua gerbang XNOR ini kemudian di-AND-kan, sehingga rangkaian akan menghasilkan keluaran tinggi jika data pencacah sama dengan data pembagi. Keluaran ini digunakan untuk mengubah kondisi *toggle* flip-flop pada transisi naik.



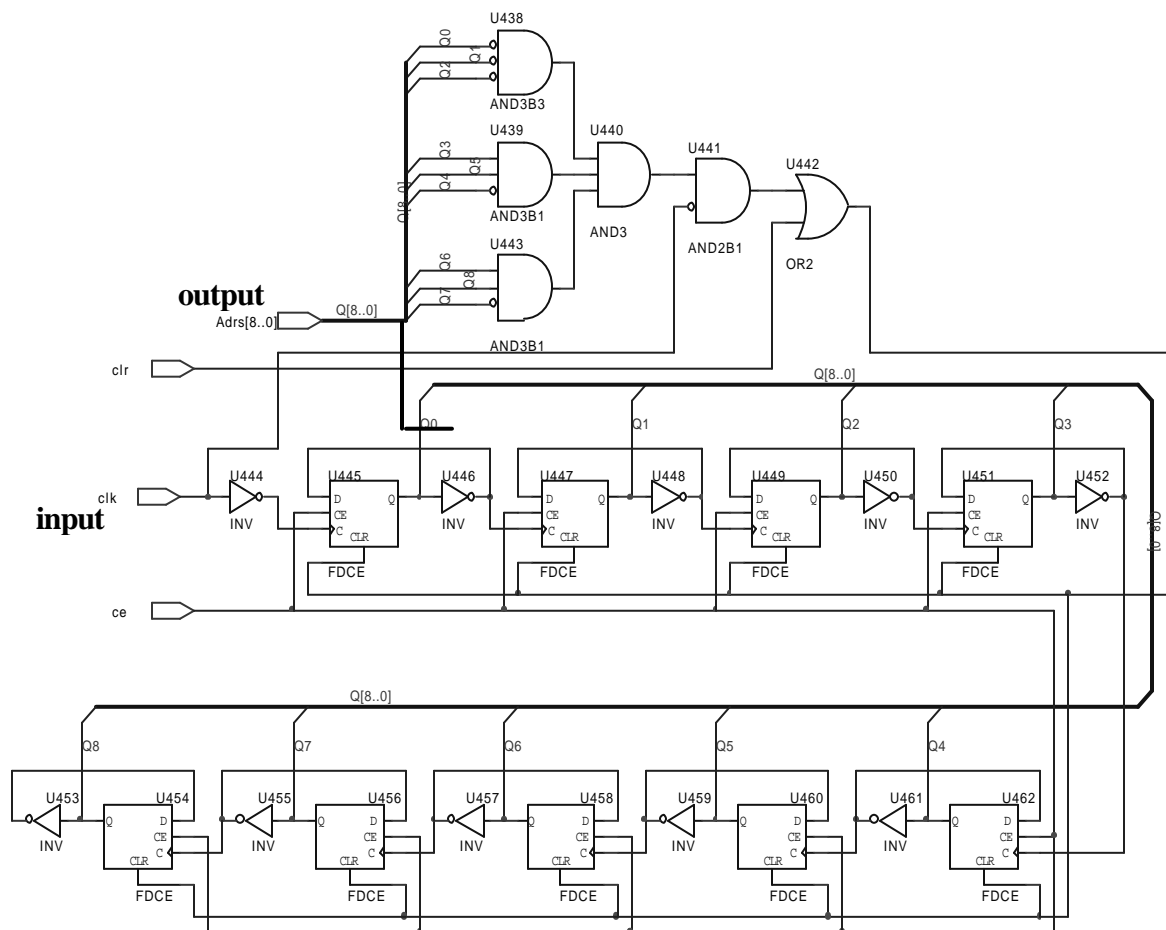
Gambar 20. Rangkaian pembanding 9 bit.

Jika data pembagi frekuensi ( $A_8A_7A_6A_5A_4A_3A_2A_1A_0$ ) belum sama dengan keluaran pencacah 9 bit ( $B_8B_7B_6B_5B_4B_3B_2B_1B_0$ ), maka dihasilkan sinyal keluaran

(A=B) '0' yang berarti pencacah 9 bit terus melakukan cacahannya; sedangkan jika data pembagi frekuensi sama dengan keluaran pencacah 9 bit, maka akan dihasilkan sinyal logika '1' yang digunakan untuk mereset kembali pencacah 9 bit.

## b. Unit Pencacah Alamat

Unit ini berfungsi sebagai penghasil cacahan untuk mengambil data sinus dan segitiga dengan clock pencacah berasal dari keluaran unit pembagi frekuensi.



Keterangan:

- Clock : merupakan input pencacah mod-360
- $Q_8 Q_7 Q_6 Q_5 Q_4 Q_3 Q_2 Q_1 Q_0 = \text{Adrs}[8..0]$  : merupakan output pencacah mod-360
- CE : merupakan *enable* bagi pencacah mod-360
- Clear : untuk men-clear pencacah mod-360

Gambar 21. Rangkaian pencacah mod-360.

Oleh karena dalam satu periode dibutuhkan dicuplikan 360 bagian, maka diperlukan cacahan dari 0 sampai dengan 359 dan dibutuhkan pencacah mod-360. Pada cacahan  $101101000_2 (=360_{10})$ , pencacah harus reset ke 0.

Jika alamat pencacah dinyatakan dengan  $Q_8 Q_7 Q_6 Q_5 Q_4 Q_3 Q_2 Q_1 Q_0$  ( $Q_8$  MSB dan  $Q_0$  LSB), maka agar pencacah mod-512 dapat menjadi mod-360 dapat dibuat rangkaian  $Q_8 \bar{Q}_7 Q_6 Q_5 \bar{Q}_4 Q_3 \bar{Q}_2 \bar{Q}_1 \bar{Q}_0$  untuk meng-clear tiap-tiap FDCE. Rangkaian unit pencacah alamat mod-360 ditunjukkan pada gambar 21.

### c. Unit Memori Sinus (x)

Inti dari pembangkitan sinyal PWM adalah perbandingan sinyal sinus dan sinyal segitiga. Karena pada tesis ini perbandingan kedua sinyal tersebut dilakukan dalam sistem (diskret) digital, maka sinyal sinus dan segitiga harus dicuplik sehingga dapat dilakukan operasi perbandingan secara diskret. Pada tesis ini sinyal sinus(x) dalam satu periode dicuplik 360 bagian.

Pada tesis ini, untuk keperluan operasi perbandingan dalam sistem digital, nilai tiap pencuplikan selanjutnya diskala 127 kali sehingga nilai yang tadinya  $-1$  hingga  $+1$  akan menjadi  $-127$  hingga  $+127$ . Pada rentang ini, nilai mempunyai 255 level kuantisasi sehingga memerlukan 8 bit untuk menyatakannya dalam nilai biner. Pada proses penyandian, nilai  $-127$  dapat dinyatakan dengan 00000000 dan seterusnya hingga nilai  $+127$  dinyatakan dengan 11111111. Namun pada tesis ini diterapkan bit tanda untuk menyatakan nilai negatif dan positif. Bit 0 dipakai untuk menyatakan nilai positif dan bit 1 dipakai untuk menyatakan nilai negatif. Sebagai contoh nilai  $-127$  akan disandikan dengan 10000000 dan nilai  $+127$  akan disandikan

dengan 01111111. Hal ini dilakukan untuk mendapatkan rangkaian pembanding yang sederhana. Tabel kebenaran memori sin (x) ditunjukkan lampiran B.

Dengan menggunakan tabel kebenaran tersebut, data pada memori sinus(x) dinyatakan dalam pernyataan *sum of product* dan selanjutnya disederhanakan dengan *Karnaugh Map* sebagaimana dekoder frekuensi sehingga diperoleh rangkaian digital yang sederhana. Sebagai contoh, pernyataan *sum of product* dari bit-8 data sin(x) dapat dinyatakan dengan persamaan (misal bit ke-8 dinotasikan dengan  $D_7$  dan alamat (input) dinyatakan dengan  $I_8I_7I_6I_5I_4I_3I_2I_1I_0$ ):

$$D_7(I_8, I_7, I_6, I_5, I_4, I_3, I_2, I_1, I_0) = \sum_m (181, 182, \dots, 359) + \sum_d (360, 361, \dots, 511)$$

#### d. Unit Memori Segitiga

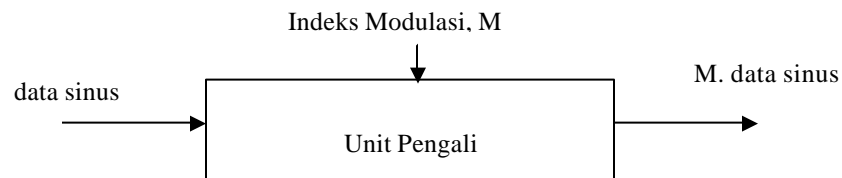
Seperti dijelaskan sebelumnya, inti dari pembangkitan sinyal PWM adalah pembandingan sinyal sinus dan sinyal segitiga. Karena pada tesis ini pembandingan kedua sinyal tersebut dilakukan dalam sistem digital, maka sinyal sinus dan segitiga harus dicuplik sehingga dapat dilakukan operasi pembandingan secara digital. Pada tesis ini sinyal segitiga dibuat 12 periode dan kemudian dicuplik 360 bagian, sehingga pengambilan data segitiga pada operasi pembandingan dengan data sinus dapat menggunakan pencacah yang sama (pencacah mod-360). Pengkuantisasinya dan penyandian dilakukan sama seperti memori sinus.

Seperti halnya memori sinus, memori segitiga juga dibuat dengan penyederhanaan data memori segitiga yang dinyatakan dalam pernyataan *sum of product* berdasarkan tabel data segitiga pada lampiran B. Lebar data segitiga juga 8

bit dengan ketentuan yang sama dengan data sinus. Pada memori segitiga ini dibangkitkan 2 data segitiga yaitu data  $\text{sgt}(x)$  dan data  $-\text{sgt}(x)$ , dengan data  $-\text{sgt}(x)$  merupakan data  $\text{sgt}(x)$  yang tergeser  $180^\circ$ .

#### e. Unit Pengali

Unit ini berfungsi sebagai pengali data sinus dan indeks modulasi  $M$  dengan  $0 < M < 1$ . Diagram kotak unit pengali ditunjukkan pada gambar 22.



Gambar 22. Diagram kotak unit pengali.

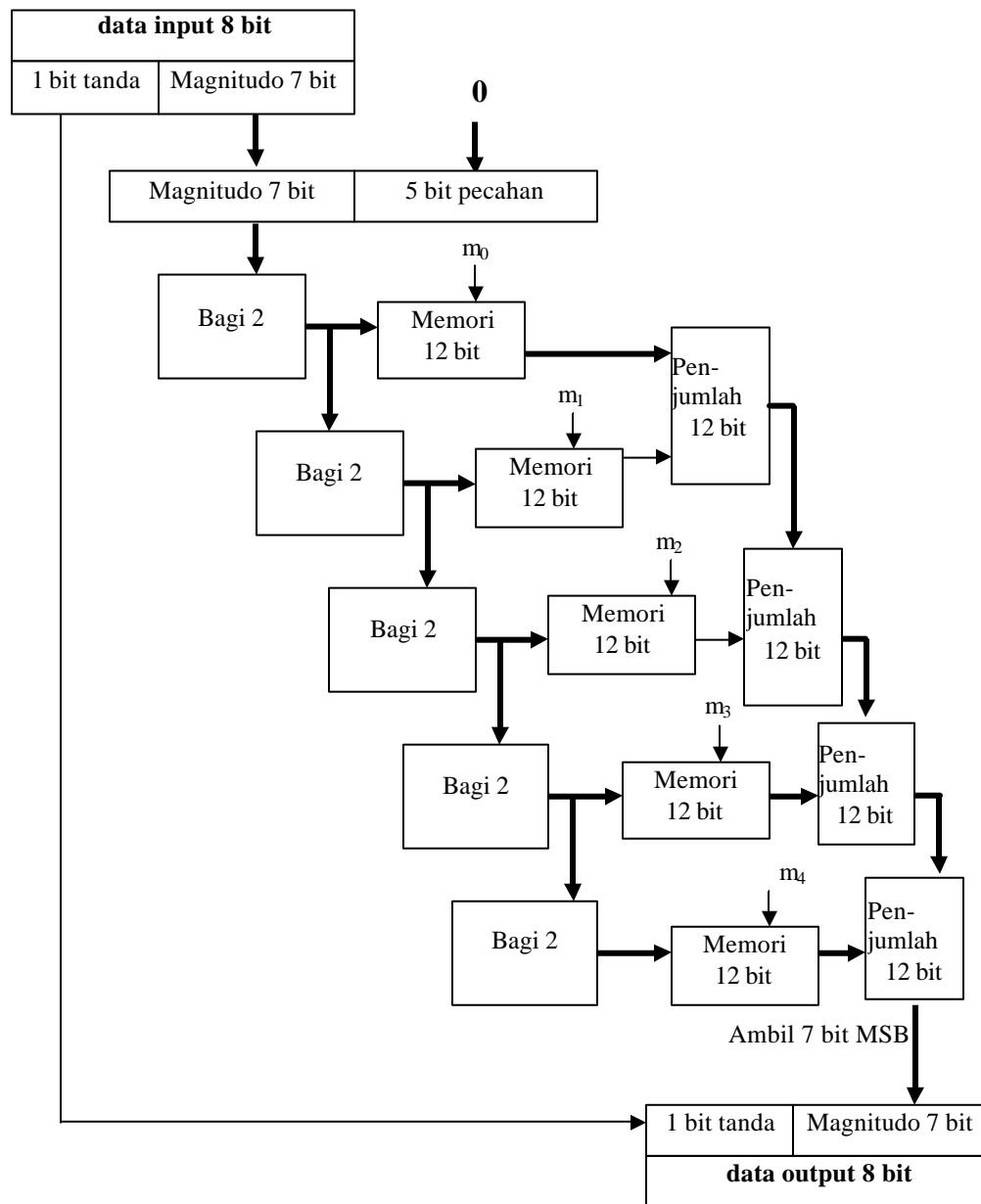
Pada rancangan ini indeks modulasi ditentukan melalui kombinasi  $m_0 m_1 m_2 m_3 m_4$  seperti table 9.

Tabel 9. Kombinasi  $m_0 m_1 m_2 m_3 m_4$  untuk membentuk nilai indeks modulasi.

IM = 0, $m_0 m_1 m_2 m_3 m_4$ (biner)					Nilai Indeks Modulasi (IM)
$m_0$	$m_1$	$m_2$	$m_3$	$m_4$	
0	0	0	0	0	0,00000
0	0	0	0	1	0,03125
0	0	0	1	0	0,06250
0	0	0	1	1	0,09375
0	0	1	0	0	0,12500
0	0	1	0	1	0,15625
0	0	1	1	0	0,18750
0	0	1	1	1	0,21875
0	1	0	0	0	0,25000
0	1	0	0	1	0,28125
0	1	0	1	0	0,31250
0	1	0	1	1	0,34375
0	1	1	0	0	0,37500
0	1	1	0	1	0,40625
0	1	1	1	0	0,43750
0	1	1	1	1	0,46875

IM = 0, $m_0 m_1 m_2 m_3 m_4$ (biner)					Nilai Indeks Modulasi (IM)
$m_0$	$m_1$	$m_2$	$m_3$	$m_4$	
1	0	0	0	0	0,50000
1	0	0	0	1	0,53125
1	0	0	1	0	0,56250
1	0	0	1	1	0,59375
1	0	1	0	0	0,62500
1	0	1	0	1	0,65625
1	0	1	1	0	0,68750
1	0	1	1	1	0,71875
1	1	0	0	0	0,75000
1	1	0	0	1	0,78125
1	1	0	1	0	0,81250
1	1	0	1	1	0,84375
1	1	1	0	0	0,87500
1	1	1	0	1	0,90625
1	1	1	1	0	0,93750
1	1	1	1	1	0,96875

Prinsip kerja pengali indeks modulasi 5 bit adalah seperti pada gambar 23.



Keterangan:

$m_0, m_1, m_2, m_3, m_4$  : masing-masing 1 bit, berfungsi sebagai *enable*

Gambar 23. Diagram kotak prinsip kerja pengali indeks modulasi 5 bit.

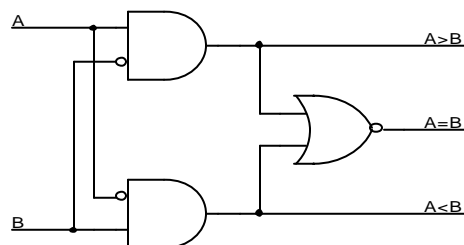
#### f. Unit Pembandingan

Unit ini berfungsi untuk membandingkan data sinus dan segitiga secara digital. Jika data sinus lebih besar dari atau sama dengan data segitiga, maka akan dihasilkan keluaran tinggi sedangkan jika lebih kecil akan dihasilkan keluaran rendah. Operasi pembandingan dilakukan pada tiap bit data yang bersesuaian. Operasi ini akan menghasilkan 3 kemungkinan seperti ditunjukkan pada tabel 9.

Tabel 9. Tabel kebenaran operasi pembandingan 1 bit.

Input		Output		
A	B	$A > B$	$A = B$	$A < B$
0	0	0	1	0
0	1	0	0	1
1	0	1	0	0
1	1	0	1	0

Berdasarkan tabel 9, dapat dibuat rangkaian pembanding 1 bit seperti gambar 24 berikut.



Gambar 24. Rangkaian pembanding 1 bit.

Operasi pembandingan 1 bit dilakukan dilakukan pada bit 0 sampai bit 6 untuk memperoleh hasil pembandingan magnitudo data sinus dan segitiga. Bit 7 tidak diikutkan dalam operasi pembandingan karena berfungsi sebagai bit tanda. Operasi pembandingan magnitudo tersebut memberikan beberapa kemungkinan seperti ditunjukkan pada tabel 10.

Tabel 10. Perbandingan magnitudo data.

Bit6			Bit5			Bit4			Bit3			Bit2			Bit1			Bit0			Comp  A & B		
>	=	<	>	=	<	>	=	<	>	=	<	>	=	<	>	=	<	>	=	<	>	=	<
0	1	0	0	1	0	0	1	0	0	1	0	0	1	0	0	1	0	1	0	0	1	0	0
0	1	0	0	1	0	0	1	0	0	1	0	0	1	0	1	0	0	*	*	*	1	0	0
0	1	0	0	1	0	0	1	0	0	1	0	1	0	0	*	*	*	*	*	*	1	0	0
0	1	0	0	1	0	0	1	0	1	0	0	*	*	*	*	*	*	*	*	*	1	0	0
0	1	0	0	1	0	1	0	0	*	*	*	*	*	*	*	*	*	*	*	*	1	0	0
0	1	0	1	0	0	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	1	0	0
1	0	0	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	1	0	0
0	1	0	0	1	0	0	1	0	0	1	0	0	1	0	0	1	0	0	1	0	0	1	0
0	0	1	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	0	0	1
0	1	0	0	0	1	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	0	0	1
0	1	0	0	1	0	0	0	1	*	*	*	*	*	*	*	*	*	*	*	*	0	0	1
0	1	0	0	1	0	0	1	0	0	0	1	*	*	*	*	*	*	*	*	*	0	0	1
0	1	0	0	1	0	0	1	0	0	1	0	0	0	1	*	*	*	*	*	*	0	0	1
0	1	0	0	1	0	0	1	0	0	1	0	0	1	0	0	1	0	0	0	1	0	0	1
0	1	0	0	1	0	0	1	0	0	1	0	0	1	0	0	1	0	0	0	1	0	0	1

Jika perbandingan magnitudo sudah diketahui, maka hasil akhir perbandingan data sinus dan segitiga ditentukan oleh bit tanda dengan tabel kebenaran sebagaimana tabel 11.

Tabel 11. Perbandingan magnitudo dan bit tanda.

Perbandingan Magnitudo Data			A & B	Bit Tanda A	Bit Tanda B	A>=B
A > B	A = B	A < B				
1	0	0	0	0	*	1
1	0	0	0	1	*	0
0	1	0	0	*	*	1
0	0	1	1	*	1	1
0	0	1	1	*	0	0

Keterangan

A : Data Sinus

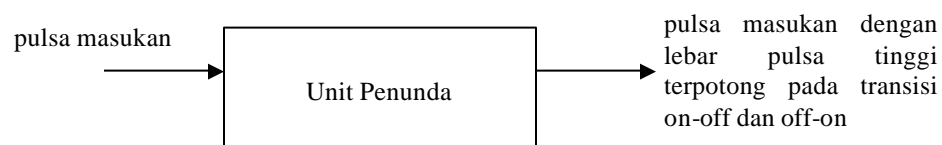
B : Data Segitiga

Berdasarkan tabel 10 dan tabel 11, operasi perbandingan data sinus dan segitiga direalisasikan dalam bentuk rangkaian digital seperti rangkaian perbandingan 8 bit pada Lampiran C.



### g. Unit Penunda (*Dead Time*)

Unit ini berfungsi untuk menghasilkan tunda/*dead time* antara 2 sinyal PWM yang berpasangan (saling berkebalikan nilainya) sehingga dengan adanya karakteristik perbedaan waktu naik/*rise time* ( $t_r$ ) dan waktu turun/*fall time* ( $t_f$ ) dari transistor penyaklaran dapat dihindari terjadinya kondisi transistor yang berpasangan berada dalam kondisi ON bersama-sama yang dapat menyebabkan rusaknya piranti penyaklaran daya.

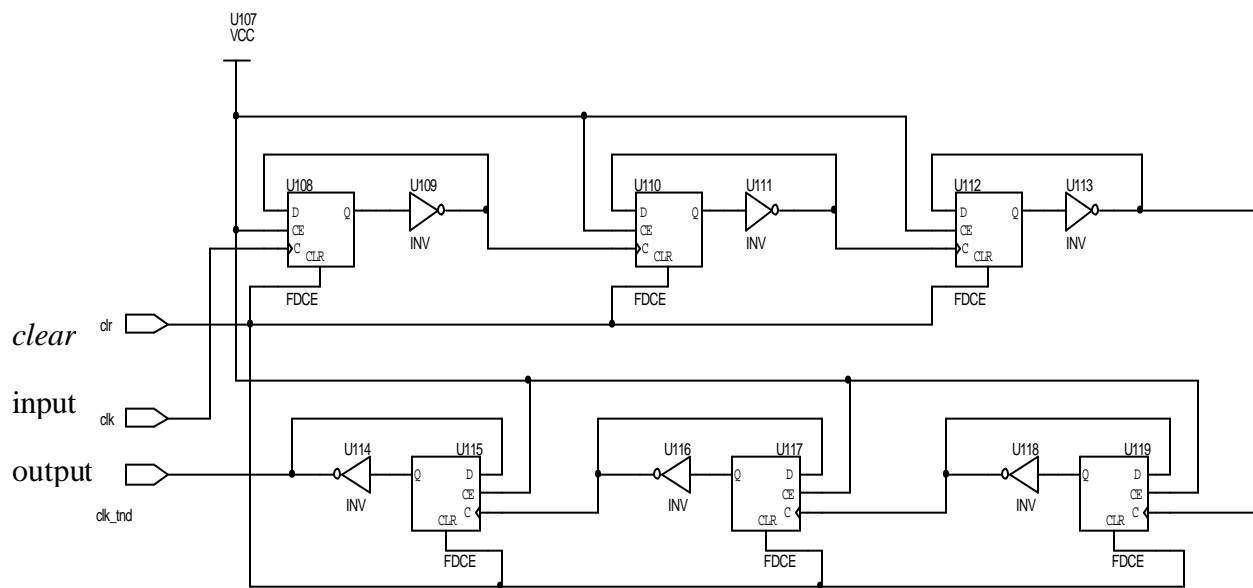


Gambar 25. Diagram kotak unit penunda.

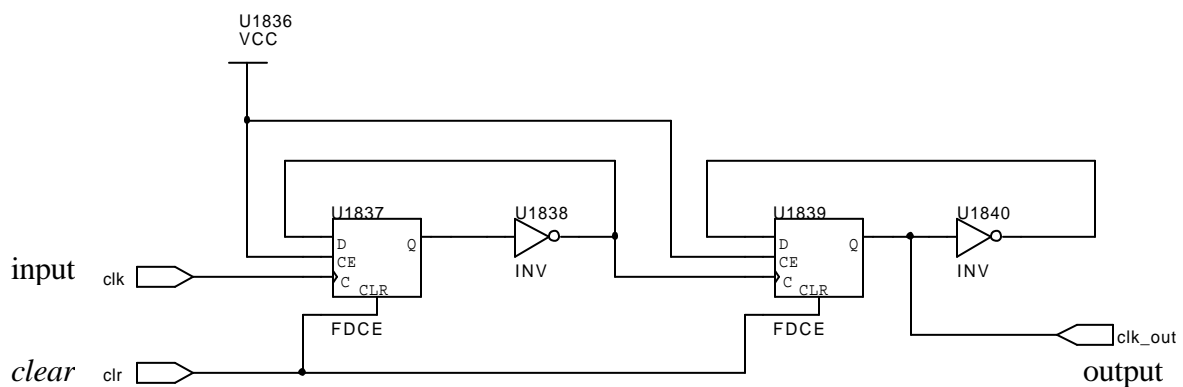
Pada rancangan ini akan dibuat tundaan sinyal sebesar  $7,5 \mu\text{s}$ . Nilai  $7,5 \mu\text{s}$  ini dipilih berdasarkan pertimbangan bahwa komponen penyaklaran inverter yang paling lambatpun seperti BJT akan memiliki karakteristik total  $t_r$  dan  $t_f$  kurang dari  $7,5 \mu\text{s}$ . Sehingga rancangan ini dirasa aman untuk digunakan pada komponen transistor penyaklaran apapun.

Implementasi penunda sinyal ini, dilakukan dengan membuat pencacah 6 bit dan 2 bit. *Clock* internal 8 MHz digunakan sebagai pengendali clock cacahannya. Dengan pencacah 6 bit dapat dihasilkan cacahan sebanyak  $2^6 = 64$  cacahan dan dengan pencacah 2 bit dapat dihasilkan cacahan  $2^2 = 4$ . Sehingga dengan frekuensi *clock* internal 8 MHz ( $T=125 \text{ ns}$ ) dapat dihasilkan tundaan selama  $64 \times 125 = 8 \mu\text{s}$

dan  $4 \times 125 \text{ ns} = 0,5 \text{ } \mu\text{s}$ . Tundaan  $8 \text{ } \mu\text{s}$  digunakan untuk menunda transisi naik sedangkan  $0,5 \text{ } \mu\text{s}$  digunakan untuk menunda transisi turun. Rangkaian penunda transisi naik ditunjukkan pada gambar 26, sedangkan rangkaian penunda transisi turun ditunjukkan pada gambar 27.



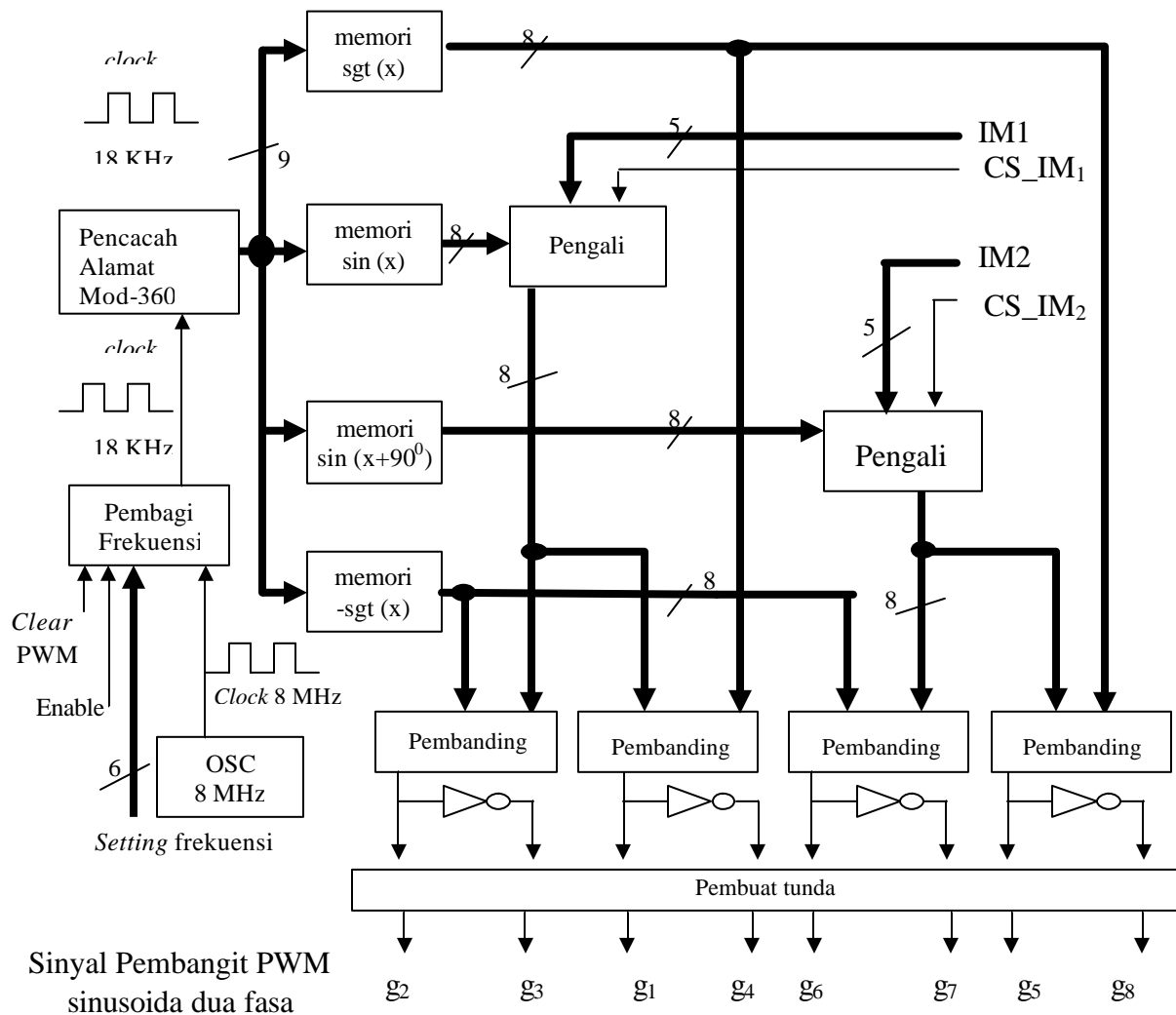
Gambar 26. Rangkaian penunda transisi naik.



Gambar 27. Rangkaian penunda transisi turun.

## 2. Pembangkit Sinyal PWM Sinusoida Dua Fasa

Unit penyusun pembangkit sinyal PWM sinusoida dua fasa sama dengan unit penyusun pembangkit sinyal PWM sinusoida satu fasa yang telah dijelaskan sebelumnya, dengan penambahan unit memori  $\sin(x+90^0)$  sehingga dihasilkan fasa kedua dengan beda fasa  $90^0$ . Diagram kotak pembangkit sinyal PWM sinusoida dua fasa ditunjukkan pada gambar 28. Sinyal  $g_1$ ,  $g_2$ ,  $g_3$ , dan  $g_4$  bersesuaian dengan Gambar 10, sedangkan  $g_5$ ,  $g_6$ ,  $g_7$  dan  $g_8$  bersesuaian dengan fasa kedua dengan urutan melanjutkan fasa pertama.



Gambar 28. Diagram kotak pembangkit sinyal PWM sinusoida dua fasa.

### 3. Diskripsi Pin Pembangkit Sinyal PWM Sinusoida Dua Fasa Pada FPGA

Pin pin FPGA yang digunakan dalam rangkaian pembangkit sinyal PWM Sinusoida dua fasa ini berjumlah 32 buah yang terdiri dari 20 masukan dan 12 keluaran. Penggunaan pin pin tersebut seperti pada tabel 12 berikut.

Tabel 12. Penggunaan pin pada FPGA.

Nama Pin	Nomer Pin Pada FPGA	Nama Pin	Nomer Pin Pada FPGA
Frek_0 (input)	J17	Idx_mdb2 (input)	C10
Frek_1 (input)	V8	Idx_mdb3 (input)	A9
Frek_2 (input)	H1	Idx_mdb4 (input)	A6
Frek_3 (input)	C8	Idmd_inb (input)	L18
Frek_4 (input)	C1	Q1 (output)	U10
Frek_5 (input)	H4	Q2 (output)	R11
Frek_in (input)	L2	Q3 (output)	U5
Clr_PWM (input)	G1	Q4 (output)	J16
Enable (input)	L15	VG1 (output)	C11
Idx_md0 (input)	T11	VG2 (output)	A14
Idx_md1 (input)	U12	VG3 (output)	C6
Idx_md2 (input)	J18	VG4 (output)	A2
Idx_md3 (input)	T15	VG5 (output)	G15
Idx_md4 (input)	H17	VG6 (output)	U8
Idmd_in (input)	L16	VG7 (output)	U9
Idx_mdb0 (input)	A8	VG8 (output)	V7
Idx_mdb1 (input)	B9		

Rangkaian FPGA, catu daya 5 volt dan soket EPROM penyimpan data konfigurasi sudah tersedia dari Peneliti sebelumnya. Rangkaian input dirancang menggunakan saklar dan resistor dengan konfigurasi *pull down*. Posisi on saklar menghasilkan logika “1” sedangkan posisi off menghasilkan logika “0”. Rangkaian ini digunakan untuk memberikan masukan ke pembangkit PWM.

## **D. Kesulitan-Kesulitan**

Kesulitan-kesulitan yang muncul selama penelitian dapat dikelompokkan menjadi tiga yaitu kesulitan di awal penelitian dan penggunaan alat bantu, kesulitan ketika proses perancangan serta kesulitan ketika proses integrasi. Berikut akan dipaparkan masing-masing kesulitan tersebut dengan cara pemecahannya.

### **1. Kesulitan di awal penelitian dan penggunaan alat bantu**

Kesulitan ini berkaitan dengan pemahaman teori pembangkitan sinyal PWM sinusoida dua fasa secara digital, penggunaan perangkat lunak OrCAD, penggunaan perangkat lunak Xilinx XACT dan XDE, dan penggunaan EPROM *programmer/writer*. Untuk materi pembangkitan sinyal PWM sinusoida dua fasa mulai tumbuh ketika mulai melakukan pembuatan perangkat lunaknya dan membaca penelitian sejenis sebelumnya. Untuk penggunaan alat bantu bisa diatasi dengan jalan sering mencoba dan menggunakan serta bertanya kepada peneliti lain yang sudah pernah menggunakan alat bantu tersebut.

### **2. Kesulitan ketika proses perancangan**

Kesulitan ketika proses perancangan meliputi antara lain: metode untuk membuat beda fasa  $90^0$ , penyederhaan memori  $\sin(x+0^0)$ , memori  $\sin(x+90^0)$ , memori  $\sin(x)$  karena ketersediaan CLB pada XC4013 yang terbatas.

Hal yang dirasakan paling berat terjadi ketika ternyata hasil konfigurasi dan kompilasi sistem pembangkit PWM sinusoida dua fasa yang dirancang ternyata berdasarkan *preliminary estimate* PPR [5.0.0] - *Xilinx Automatic CAE Tools* membutuhkan 155% pembangkit fungsi CLB dari yang tersedia pada FPGA XC4013.

Kesulitan ini diusahakan diatasi dengan mengupayakan memakai komponen *primitive* pada perancangan dan menggunakan komposisi yang paling efisien. Selain itu juga diupayakan dengan menyederhanakan ulang memori  $\sin(x+0^0)$ , memori  $\sin(x+90^0)$  memori segitiga dan dekoder frekuensi ke pembagi dengan peta Karnaugh modifikasi.

### 3. Kesulitan ketika proses integrasi

Setelah masing-masing unit bisa disimulasikan dengan benar di OrCAD kemudian dilakukan integrasi keseluruhan unit. Hasil integrasi tersebut juga dapat disimulasikan dengan benar. Kesulitan muncul ketika mencoba *download* rancangan ke sistem FPGA, ternyata sistem tak dapat bekerja. Membutuhkan waktu yang lama untuk memeriksa ulang sistem koneksinya, dan pada akhirnya diketahui ada kabel yang putus dan kabel data yang hilang.

Kesulitan juga muncul ketika men-*download* rancangan ke sistem FPGA XC4013. Pada penelitian awal, Penulis menggunakan komputer dengan spesifikasi P200MMX dan RAM 32 MB untuk men-*download* rancangan ke sistem FPGA. Hasil *download* untuk tiap unit penyusun pembangkit PWM sinusoida dua fasa (unit memori sinus, memori segitiga, untuk pembagi frekuensi dan lain-lain) dapat memberikan hasil yang benar dengan menggunakan komputer ini. Komputer ini juga pernah dipakai oleh Bejo (2003) yang mendownload rancangan pembangkit PWM sinusoida satu fasa, dan berhasil menghasilkan hasil konfigurasi yang benar ke perangkat keras FPGA XC4013. Proses download memakan waktu sekitar 35 menit. Komputer ini juga digunakan Ganesha (2004) dengan rancangan penyandi dan pengawasandian sandi konvolusi(2,1,2) dengan panjang data 12 dan hasil *download*

ke perangkat keras FPGA menghasilkan respon seperti yang diharapkan. Penulis tak pernah menyangka bahwa problem gagalnya proses *download* rancangan PWM sinusoida dua fasa adalah karena spesifikasi komputer yang kurang tinggi, karena unit-unit penyusun PWM sinusoida dua fasa dapat di-*download* dengan komputer ini dan menghasilkan respon konfigurasi perangkat kerasnya sesuai yang diharapkan. Suatu ketika karena komputer yang Penulis gunakan rusak, maka Penulis menggunakan komputer lain dengan spesifikasi yang lebih tinggi (dalam hal ini P-III 1,2 GHz dan RAM 128 MB). Ternyata rancangan yang sama berhasil dikonfigurasi ke perangkat keras FPGA XC4013 dan memberikan respon sesuai yang diharapkan.

## IV. HASIL PENELITIAN DAN PEMBAHASAN

### A. Simulasi Rancangan

Pengamatan hasil perancangan pembangkit sinyal PWM sinusoida dua fasa berbasis FPGA dilakukan dengan dua cara yaitu dengan simulasi menggunakan perangkat lunak *OrCAD Simulate* dan pengamatan sinyal keluaran FPGA sebenarnya osiloskop.

Simulasi secara perangkat lunak dilakukan pada tiap-tiap unit dan sub unit dari penyusun rangkaian pembangkit sinyal PWM sinusoida dua fasa sedangkan pengamatan keluaran sinyal PWM sinusoida dua fasa dengan osiloskop hanya dilakukan pada keluaran akhirnya saja.

Berikut ini adalah hasil simulasi untuk tiap unit atau sub unit dari pembangkit sinyal PWM Sinusoida berbasis FPGA:

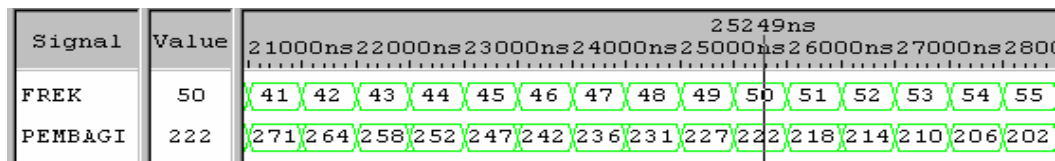
#### 1. Simulasi Unit Pembagi Frekuensi

Unit ini terdiri dari beberapa sub unit penyusun yaitu dekoder frekuensi ke pembagi, penyimpan data pembagi, pencacah 9 bit, pembanding 9 bit dan sebuah *toggle flip-flop*.

##### a. Dekoder Frekuensi ke Pembagi

Sub unit frekuensi berfungsi untuk mengkonversi frekuensi yang diinginkan menjadi data pembagi yang sesuai. Hasil simulasi sub unit ini adalah sebagai berikut:



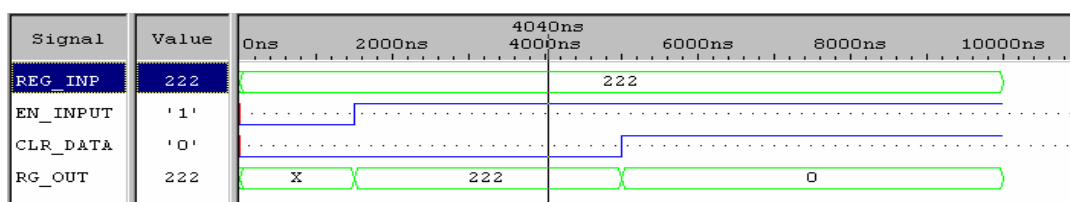


Gambar 29. Simulasi dekoder frekuensi ke pembagi.

Dari hasil simulasi tersebut tampak bahwa proses konversi dari data frekuensi menjadi data pembagi telah berfungsi dengan baik seperti yang diharapkan. Sesuai dengan rancangan yang dibuat, frekuensi yang dapat dibangkitkan memiliki rentang antara 41-55 Hz. Diluar rentang tersebut dekoder akan menghasilkan keluaran nol.

#### b. Register Penyimpan Data Pembagi

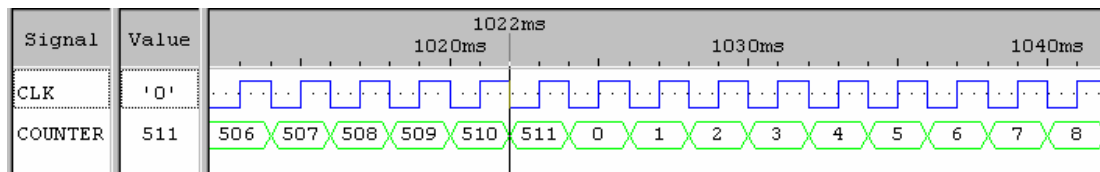
Sub unit register penyimpan data pembagi adalah register yang digunakan untuk menyimpan data hasil konversi dekoder frekuensi ke pembagi. Data pembagi dapat dimasukan register melalui pemberian pulsa naik pada pin EN\_INPUT dan untuk menghapusnya dilakukan dengan memberi pulsa tinggi pada pin CLR\_DATA seperti terlihat pada hasil simulasi berikut:



Gambar 30. Simulasi register penyimpan data pembagi.

#### c. Pencacah 9 bit

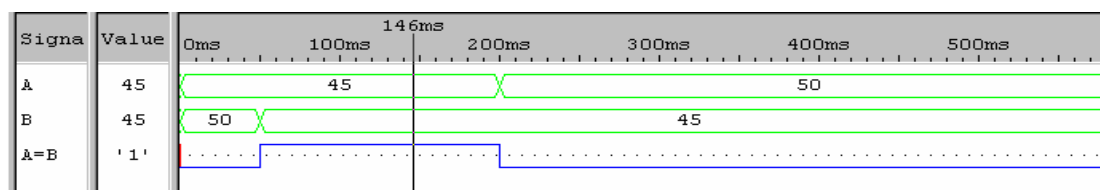
Sub unit pencacah 9 bit berfungsi untuk melakukan pencacahan. Dengan lebar 9 bit maka pencacah ini dapat melakukan pencacahan sampai dengan  $2^9$  atau 512 cacahan. Hasil simulasi sub unit ini adalah sebagai berikut:



Gambar 31. Simulasi pencacah 9 bit.

#### d. Pembanding 9 bit

Sub unit pembanding 9 bit berfungsi untuk membandingkan cacahan pencacah 9 bit dengan isi data pembagi frekuensi. Jika kedua data yang dibandingkan tersebut sama maka komparator 9 bit akan mengeluarkan pulsa '1' yang diumpanbalikan ke kaki clr pencacah 9 bit sehingga pencacah akan reset dan kembali memulai cacahannya mulai dari nol. Berikut adalah simulasi sub unit ini:



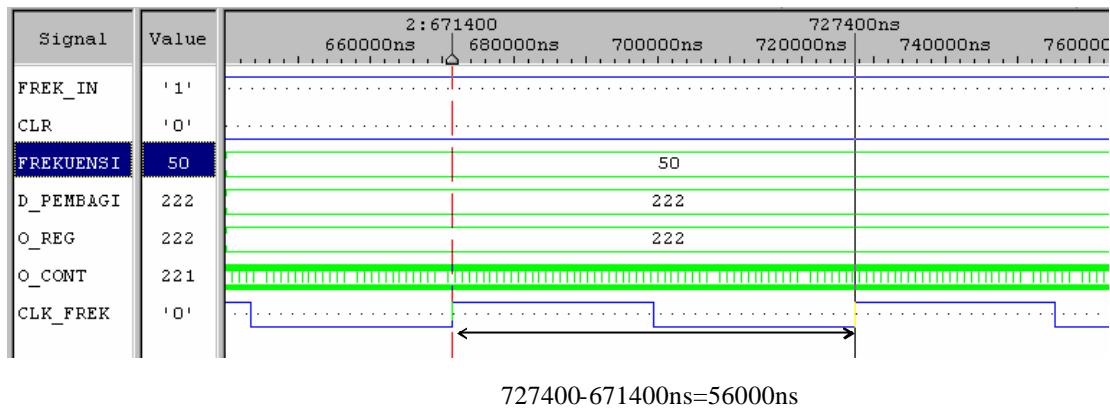
Gambar 32. Simulasi pembanding 9 bit.

Seperti terlihat pada gambar 32 di atas, saat data a dan b berbeda maka keluaran A=B rendah sebaliknya saat data a sama dengan data b maka keluaran A=B tinggi.

#### e. Toggle Flip-Flop

Sub unit terakhir dalam unit pembagi frekuensi terprogram ini adalah *toggle* flip-flop yang berfungsi untuk menghasilkan pulsa dengan *duty cycle* 50%.

Hasil simulasi keseluruhan unit pembagi frekuensi ini adalah sebagai berikut:

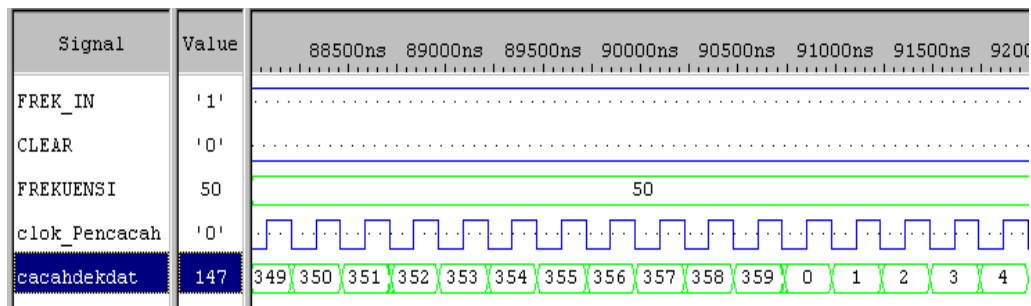


Gambar 33. Simulasi unit pembagi frekuensi.

Pada simulasi diatas diberikan masukan berupa frekuensi yang diinginkan sebesar 50 Hz dan ternyata nilai data pembagi yang sesuai dengan frekuensi tersebut adalah 222. Secara perhitungan jika frekuensi yang diinginkan sebesar 50 hertz, maka periode sinyal cuplikan tiap pengambilan data  $1/(50 \times 360) = 55,56 \mu s$  (pada simulasi di atas periode sinyal cuplikan adalah 56  $\mu s$ )

## 2. Simulasi Unit Pencacah

Unit pencacah berfungsi sebagai penghasil cacahan untuk mengambil data sinus dan segitiga dari memori sinus dan memori segitiga. Dalam satu periode pengambilan data diperlukan 360 cacahan. Jadi pencacah alamat akan mencacah mulai dari nol sampai dengan 359 kemudian kembali dari nol lagi dan seterusnya seperti hasil simulasi berikut:

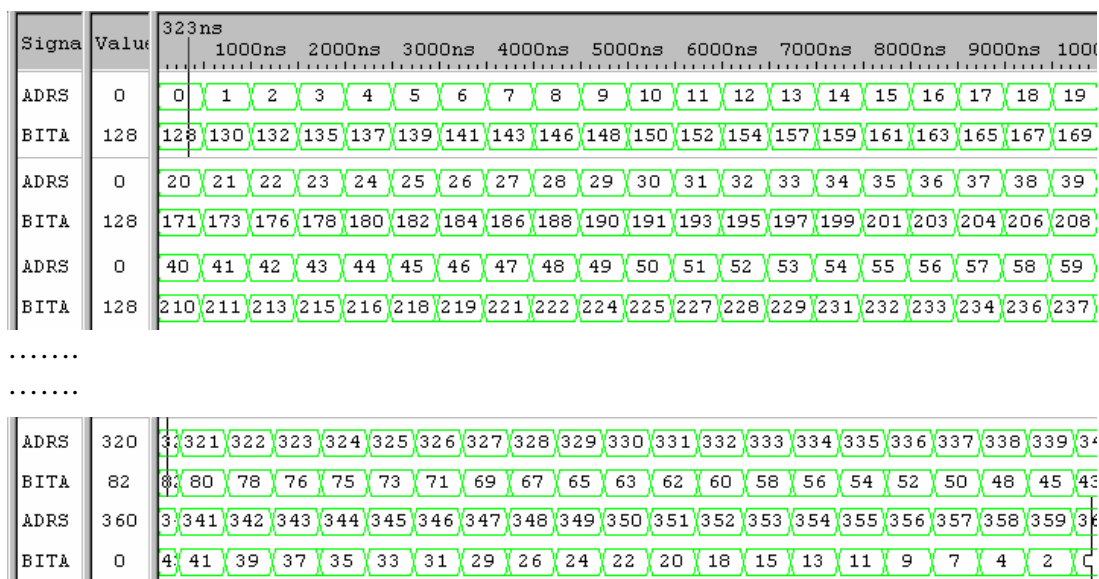


Gambar 34. Simulasi unit pencacah alamat.

Hasil simulasi diatas menunjukkan bahwa rancangan pencacah alamat telah berjalan dengan baik yaitu melakukan pencacahan sebanyak 360 kali.

### 3. Simulasi Memori Sinus( $x+0^0$ )

Unit ini berfungsi sebagai pembangkit data  $\sin(x+0^0)$  dengan menggunakan cacahan pencacah alamat. Setelah disimulasikan ternyata dekoder  $\sin(x+0^0)$  telah berfungsi dengan baik seperti terlihat pada gambar 35 berikut.

Gambar 35. Simulasi memori sinus( $x+0^0$ ).

#### 4. Simulasi Memori $\sin(x+90^0)$

Unit ini berfungsi sebagai pembangkit data  $\sin(x+90^0)$ . Hasil simulasi dekoder  $\sin(x+90^0)$  seperti terlihat pada gambar 36 berikut.

Signal	Value	205ns	0ns	1000ns	2000ns	3000ns	4000ns	5000ns	6000ns	7000ns	8000ns	9000ns	10000ns										
ADRSB	0	0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17	18	19	20	
BITAB	255				255			254	254	253		253		252		251	250	249	249	248	247		
ADRSB	0	21	22	23	24	25	26	27	28	29	30	31	32	33	34	35	36	37	38	39	40	41	
BITAB	255	247	246	245	244	243	242	241	240	239	238	237	236	235	233	232	231	229	228	227	225	224	
ADRSB	0	42	43	44	45	46	47	48	49	50	51	52	53	54	55	56	57	58	59	60	61	62	
BITAB	255	222	221	219	218	216	215	213	211	210	208	206	204	203	201	199	197	195	193	192	190	188	
.....																							
ADRSB	84	3340	341	342	343	344	345	346	347	348	349	350	351	352	353	354	355	356	357	358	359	36	
BITAB	141	247	248	249	250	251	251	252	252		253		254				255					25	
ADRSB	84	3359	360	361	362	363	364	365	366	367	368	369					370						
BITAB	141	255		254			255										254						

Gambar 36. Simulasi memori  $\sin(x+90^0)$ .

#### 5. Simulasi Memori $\text{Sgt}(x)$

Unit ini berfungsi sebagai pembangkit data segitiga. Hasil simulasi dekoder data segitiga seperti terlihat pada gambar 37 berikut.

Cont Signal	Value	0ms	1000ms	2000ms	3000ms	4000ms	5000ms	6000ms	7000ms	8000ms	9000ms									
SCHIDRS	255	0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17	
SCHID_SGTA	127	255	238	221	204	187	170	153	136	8	25	42	59	76	93	110	127	110	93	
SCHID_SGTB	255	127	110	93	76	59	42	25	8	136	153	170	187	204	221	238	255	238	221	
Cont Signal	Value	10000ms	11000ms	12000ms	13000ms	14000ms	15000ms	16000ms	17000ms	18000ms										
SCHIDRS	255	18	19	20	21	22	23	24	25	26	27	28	29	30	31	32	33	34	35	
SCHID_SGTA	127	76	59	42	25	8	136	153	170	187	204	221	238	255	238	221	204	187	170	
SCHID_SGTB	255	204	187	170	153	136	8	25	42	59	76	93	110	127	110	93	76	59	42	
.....																				
.....																				
Cont Signal	Value	181000ms	182000ms	183000ms	184000ms	185000ms	186000ms	187000ms	188000ms	189000ms										
SCHIDRS	255	360	361	362	363	364	365	366	367	368	369	370								
SCHID_SGTA	127	8																		
SCHID_SGTB	255	136																		

Gambar 37. Simulasi memori  $\text{sgt}(x)$ .

## 6. Simulasi Unit Pengali

Unit ini berfungsi sebagai pengatur besarnya amplitudo data sinus. Terdapat dua blok unit pengali indeks modulasi, satu untuk mengatur amplitudo  $\sin(x+0^0)$  dan yang kedua untuk mengatur amplitudo  $\sin(x+90^0)$ . Cara kerjanya adalah dengan mengalikan data tersebut dengan indeks modulasi tertentu (M). Sebagai contoh adalah hasil simulasi adalah seperti terlihat pada gambar 38.

Signal	Value	10540000ns	10550000ns	10600000ns	10650000ns	10700000ns	10750000ns	10800000ns
FREKUENSI	0110010	0110010						
IM	00111	00111						
IN_DEKSIN	00010010	00010010	00010100	00010110	00011000	00011010		
OUT_DEKSIN	00001111	00001111	00010001	00010011	00010101	00010110		

Gambar 38. Simulasi unit pengali.

Pada simulasi tersebut diberikan data sebesar 00010010 dan indeks modulasi 00111. Oleh karena bit ke 7 pada data merupakan bit tanda (1 : positif dan 0 : negatif) maka besarnya magnitud data tersebut adalah 18 (desimal). Dengan indeks modulasi 00111 berarti setara dengan  $m_0=1$ ,  $m_1=1$ ,  $m_2=1$ ,  $m_3=0$ , dan  $m_4=0$  sehingga nilai indeks modulasinya adalah:

$$M = \sum_{i=0}^4 m_i / 2^{i+1} = 1 \times 1/2 + 1 \times 1/4 + 1 \times 1/8 + 0 \times 1/16 + 0 \times 1/32$$

$$= 0,5 + 0,25 + 0,125 + 0 + 0 = 0,875$$

Dengan mengalikan magnitud data (-18) dan nilai indeks modulasi (0,875) diperoleh magnitud data keluaran -15,75 atau jika dibulatkan menjadi -15 (pada simulasi diatas nilainya 00001111=0Fh).

Proses penghitungan diatas jika dilakukan oleh unit pengatur indeks modulasi adalah sebagai berikut :

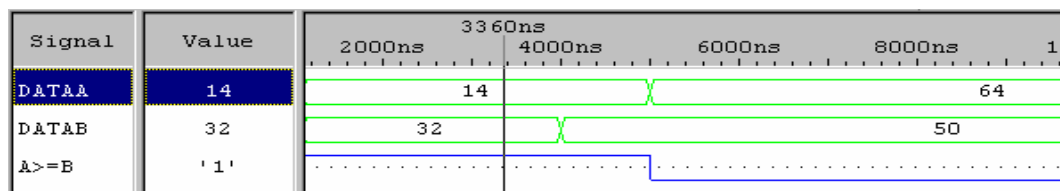
		Bit Tanda	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
Data	:	0	0	0	1	0	0	1	0

		bit tanda	bit 6	bit 5	bit 4	bit 3	bit 2	bit 1	bit 0	bit -1	bit -2	bit -3	bit -4	bit -5
$m_n$	Data masuk	0	0	0	1	0	0	1	0					
1	$M_0 \times \text{data}/2$	0		0	0	1	0	0	1	0				
1	$M_1 \times \text{data}/4$	0			0	0	1	0	0	1	0			
	Penjumlah1	0	0	0	0	1	1	0	1	1	0			
1	$M_2 \times \text{data}/8$	0				0	0	1	0	0	1	0		
	Penjumlah2	0	0	0	0	1	1	1	1	1	1	0		
0	$m_3 \times \text{data}/16$	0					0	0	0	0	0	0	0	
	Penjumlah3	0	0	0	0	1	1	1	1	1	1	1	0	0
0	$m_4 \times \text{data}/32$	0						0	0	0	0	0	0	0
	Penjumlah4	0	0	0	0	1	1	1	1	1	1	1	0	0
	Data Keluaran	0	0	0	0	1	1	1	1	=	0	F		

## 7. Simulasi Unit Pembanding

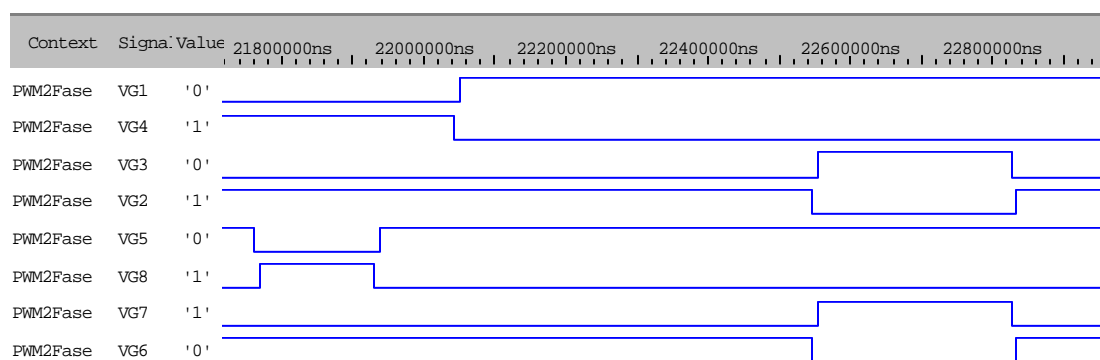
Berfungsi sebagai pembanding data sinus dan segitiga sehingga dapat dihasilkan sinyal PWM. Data sinus (A) dan data segitiga (B) dibandingkan, jika data sinus lebih besar daripada data segitiga maka keluaran akan tinggi dan sebaliknya jika data sinus lebih kecil daripada data segitiga maka keluaran akan rendah. Hal ini seperti terlihat pada hasil simulasi gambar 39 berikut.



Gambar 39. Simulasi unit pembanding.

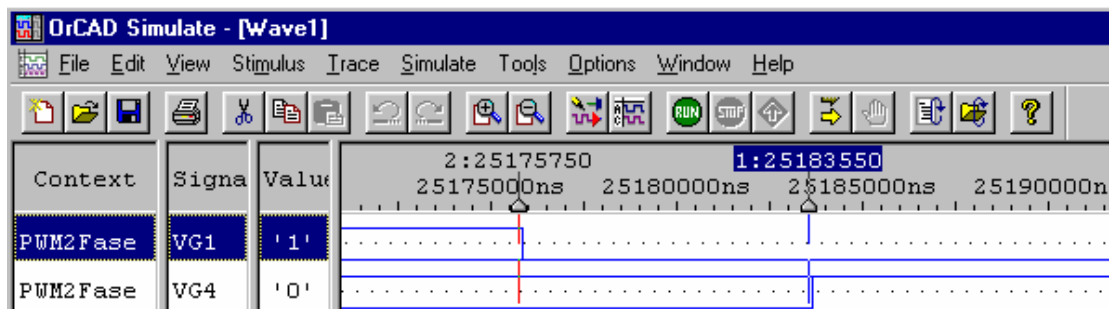
## 8. Simulasi Unit Penunda

Unit ini digunakan untuk menghasilkan tundaan sebesar  $8\ \mu\text{s}$  untuk transisi dari rendah ke tinggi dan  $0,5\ \mu\text{s}$  untuk transisi dari tinggi ke rendah, sehingga setiap pasangan sinyal pembangkit PWM sinusoida dua fasa ( $g_1$  dan  $g_4$ ,  $g_3$  dan  $g_2$ ,  $g_5$  dan  $g_8$ , atau  $g_7$  dan  $g_6$ ) akan memiliki selisih transisi pulsa sebesar  $7,5\ \mu\text{s}$ . Gambar 40 menunjukkan hasil simulasi dari tundaan yang telah dibuat. Seperti terlihat pada gambar tersebut, sinyal penggerak yang berpasangan tidak akan mungkin berada dalam kondisi tinggi pada saat yang bersamaan. Jika sinyal penggerak  $g_1$  berada dalam transisi naik maka akan dilakukan penundaan terlebih dahulu selama  $8\ \mu\text{s}$ , sementara sinyal pasangannya  $g_4$  yang berada pada transisi turun hanya ditunda selama  $0,5\ \mu\text{s}$ . Sehingga saat  $g_1$  berada pada kondisi tinggi sudah dapat dipastikan  $g_4$  sudah berada dalam kondisi rendah, begitu pula sebaliknya. Tiga pasangan lainnya  $g_3$  dan  $g_2$ ,  $g_5$  dan  $g_8$ , dan  $g_7$  dan  $g_6$  juga seperti itu. Pada gambar hasil simulasi pada tesis ini,  $g$  bersesuaian dengan  $V_G$



Gambar 40. Simulasi penunda.

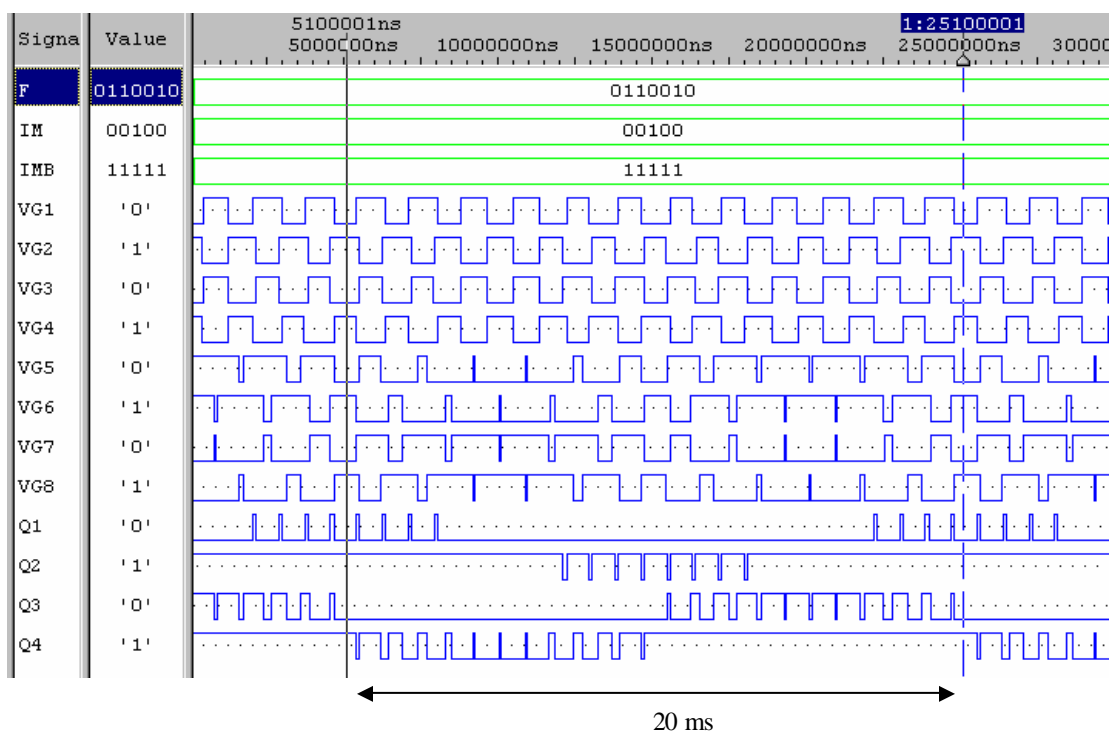




Gambar 41. Jarak transisi pulsa naik dan turun  $g_1$  dan  $g_4$ .

Dari gambar 41 terlihat bahwa pasangan sinyal pembangkit PWM sinusoida dua fasa  $g$  dan  $g_4$  memiliki selisih transisi pulsa sebesar  $(25183550 - 25175750 \text{ ns}) = 7,8 \mu\text{s}$  (secara teoritis seharusnya  $7,5 \mu\text{s}$ )

## 9. Simulasi Pembangkit PWM Sinusoida Dua Fasa Secara Keseluruhan



Gambar 42. Simulasi sinyal PWM keseluruhan.

Hasil simulasi rancangan pembangkit PWM sinusoida dua fasa secara keseluruhan seperti pada gambar 42. Pada simulasi ini dilakukan dengan IM fase ke-1 = 00100b ( $= 0+0+0,125+0+0 = 0,125$ ) dan IM fase ke-2 = 11111b ( $= 0,5 + 0,25 + 0,125 + 0,0625 + 0,03125 = 0.96875$ ) dan dengan frekuensi 50 Hz. Hasil simulasi menunjukkan bahwa periode sinyal PWM yang dihasilkan adalah sebesar  $(25100001-5100001\text{ns}) = 20 \text{ ms}$  atau sama dengan frekuensi sebesar 50 Hz.

Untuk melihat hasil rancangan pembangkit sinyal PWM sinusoida dua fasa secara nyata, maka dilakukan pengamatan secara langsung terhadap keluaran hasil konfigurasi pembangkit sinyal PWM sinusoida dua fasa pada FPGA dengan menggunakan osiloskop

### **B. Proses Kompilasi Rancangan dan Konfigurasi FPGA**

Untuk mengaplikasikan rancangan ke dalam perangkat keras yang sesungguhnya, maka perlu proses kompilasi dan konfigurasi dengan urutan proses kompilasi dan konfigurasi seperti dijelaskan pada Bab III.

Rancangan yang dibuat dalam bentuk skematik dan telah disimulasikan dengan benar berhasil dibuat *netlist*nya tanpa ada pesan kesalahan. File *netlist* tersebut selanjutnya berhasil dikompilasi menjadi file .XNF dengan perintah SDTXNF pada XACT. Penempatan nomor-nomor pin FPGA yang akan digunakan dilakukan dengan mengedit file .XNF. File .XNF yang sudah diedit selanjutnya dapat dikompilasi menjadi file .LCA dan file .BIT dengan perintah XMAKE pada XACT. Proses kompilasi ini memerlukan waktu sekitar 15–45 menit tergantung komputer yang digunakan dan besarnya rancangan yang akan dikompilasi. Pada penelitian ini memerlukan waktu 17 menit 6 detik.

Berdasarkan file laporan (file *report*) jumlah CLB yang terpakai adalah 572 atau 99% dari total jumlah CLB yang terdapat pada XC4013 PG223-5 yaitu sebanyak 576 CLB dan jumlah pin I/O sebanyak 32 buah atau 16% dari kapasitas maksimalnya yaitu 192. Laporan proses kompilasi selengkapnya terdapat pada lampiran.

Data konfigurasi FPGA juga berhasil dibuat dengan perintah MAKEPROM pada XACT. Data ini dibuat dalam format Tek-Hek dan diisikan ke EPROM menggunakan *Stag Com EPROM Writer*.

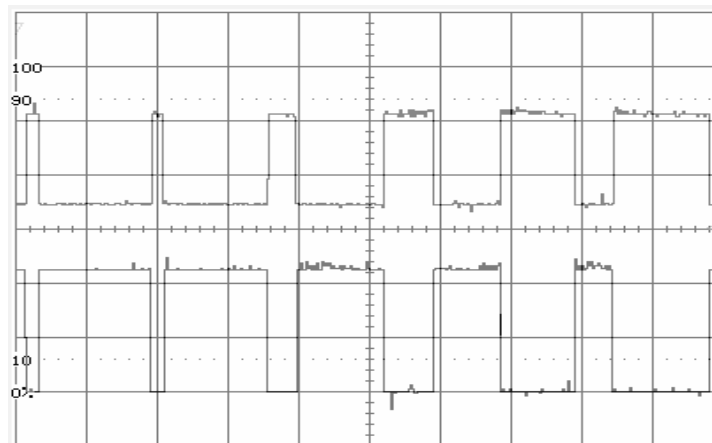
Proses konfigurasi FPGA dilakukan dengan mode *master parallel* yaitu dengan mengambil data konfigurasi yang berada dalam EPROM di luar keping FPGA. Sesaat setelah catu daya dihidupkan, FPGA akan segera melakukan inisialisasi yang ditandai dengan menyalnya LED INIT. Setelah proses inisialisasi selesai berikutnya FPGA melakukan konfigurasi dengan mengambil data konfigurasi dari EPROM. Pada saat proses konfigurasi berlangsung LED INIT akan mati dan LED LDC menyala. Setelah proses konfigurasi selesai LED INIT akan kembali menyala dan LED LDC mati.

### **C. Sinyal PWM Sinusoida Dua Fasa Keluaran FPGA**

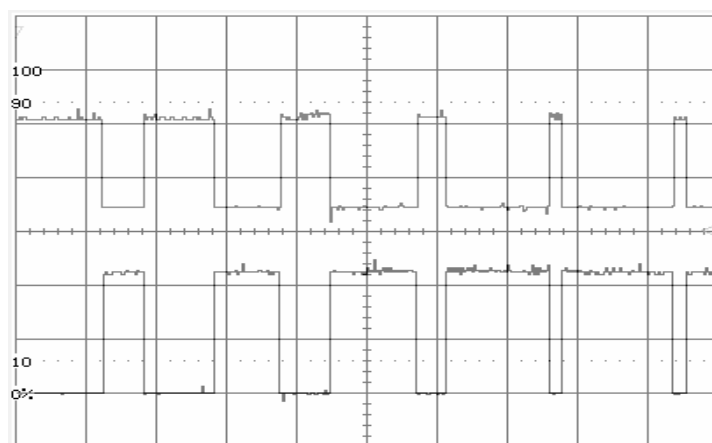
Pengamatan sinyal PWM sinusoida dua fasa dalam konfigurasi perangkat keras sistem FPGA XC4013 PG223-5 dilakukan dengan mengamati pin output sesuai tabel 12. Pengamatan dimaksudkan untuk mengetahui apakah pasangan sinyal pembangkit PWM ada yang sempat “ON” bersamaan atau tidak, dan apakah transisi “ON-OFF” pasangan sinyal pembangkit PWM berhasil dibuat tunda (pemotongan sinyal untuk transisi ON-OFF). Untuk mengetahui hal ini maka diamati sinyal

keluaran  $g_1$  dan  $g_4$ ,  $g_2$  dan  $g_3$ ,  $g_5$  dan  $g_8$ , serta  $g_6$  dan  $g_7$  (sinyal pembangkit pada kedua fasa).

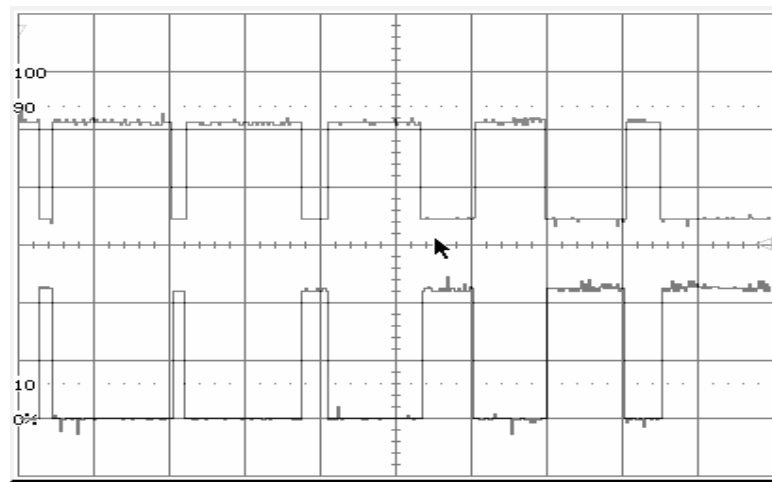
Selain itu juga akan diamati keluaran Q1 dan Q3 (tegangan fasa satu dan dua pada periode tegangan positif) dan juga sinyal keluaran Q2 dan Q4 (tegangan fasa satu dan dua pada periode tegangan negatif) untuk mengetahui apakah pengaturan indeks modulasi berpengaruh kepada lebar pulsa PWM yang dihasilkan dan untuk mengetahui apakah fasa satu dan fasa dua telah berhasil dibuat berbeda fasa  $90^\circ$ .



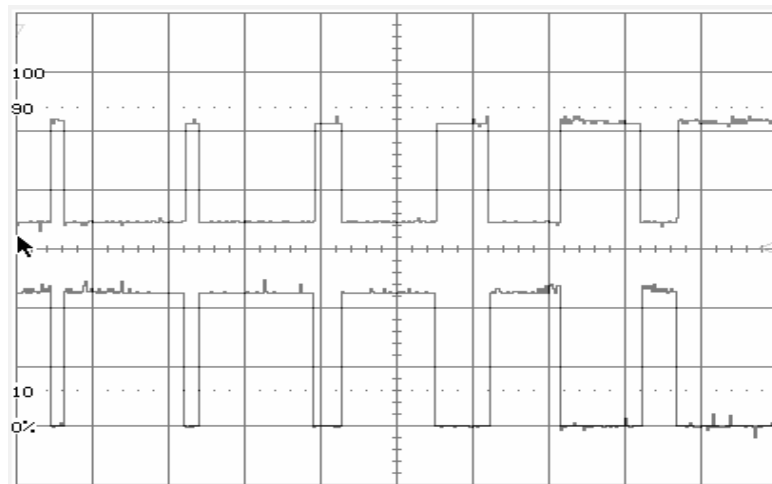
Gambar 43. Hasil pengamatan keluaran  $g_1$  dan  $g_4$ .



Gambar 44. Hasil pengamatan keluaran  $g_2$  dan  $g_3$ .

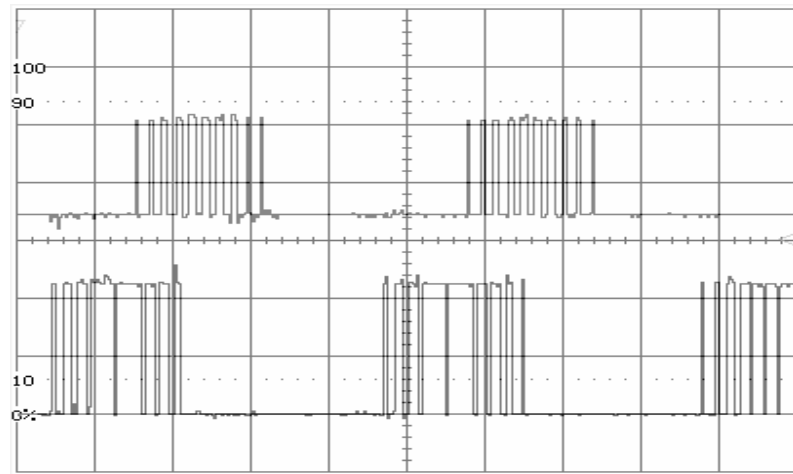


Gambar 45. Hasil pengamatan keluaran  $g_5$  dan  $g_8$ .

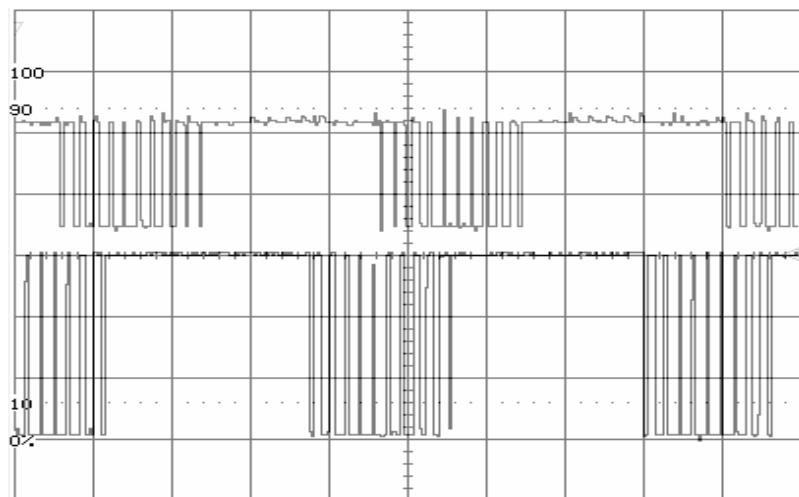


Gambar 46. Hasil pengamatan keluaran  $g_6$  dan  $g_7$ .

Berdasarkan gambar 43, gambar 44, gambar 45 dan gambar 46 terlihat pada semua pasangan pembangkit sinyal PWM sinusoida dua fasa tak ada yang sempat “ON” bersamaan dan terlihat pula bahwa terdapat jeda waktu transisi “ON-OFF” pada semua pasangan pembangkit sinyal PWM tersebut.

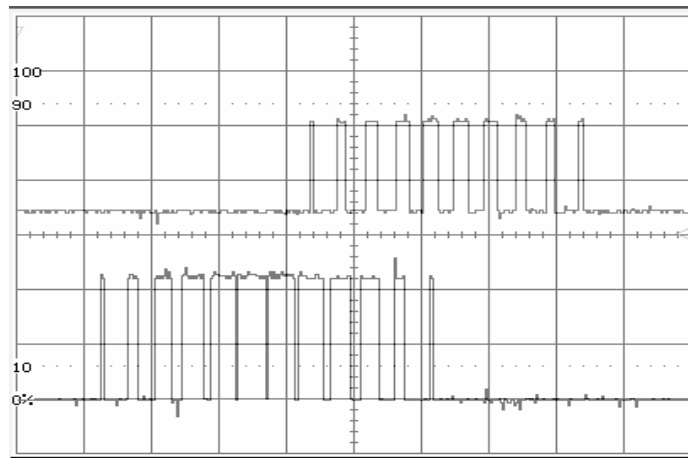


Gambar 47. Hasil pengamatan keluaran  $Q_1$  dan  $Q_3$ .

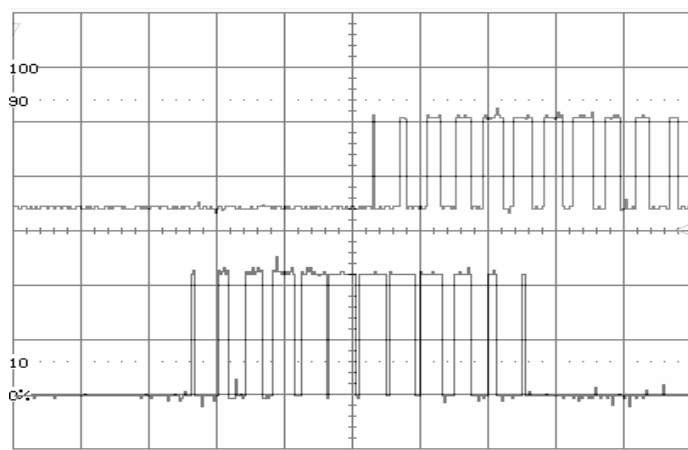


Gambar 48. Hasil pengamatan keluaran  $Q_2$  dan  $Q_4$ .

Dari gambar 47, gambar 48, gambar 49, dan gambar 50 terlihat bahwa antara fasa satu dan fasa dua mempunyai perbedaan fasa  $90^\circ$ . Ini artinya rancangan dapat bekerja sesuai dengan yang diharapkan agar mempunyai beda fasa fasa  $90^\circ$ .



Gambar 49. Hasil pengamatan fasa kesatu ( $Q_1$ ) dengan  $IM=0,5$   
dan fasa kedua ( $Q_3$ ) dengan  $IM=0,96875$ .

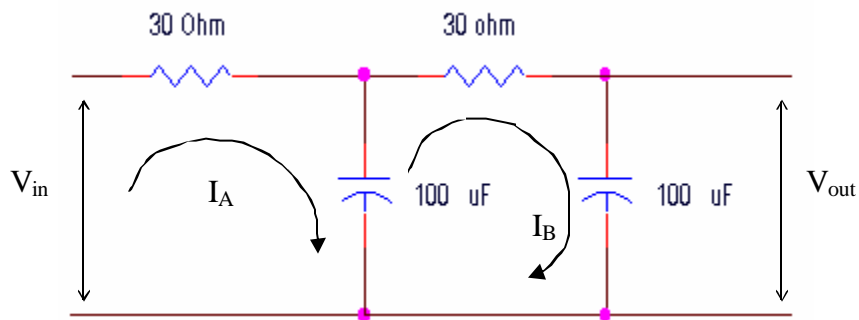


Gambar 50. Hasil pengamatan fasa kesatu ( $Q_1$ ) dengan  $IM=0,75$   
dan fasa kedua ( $Q_3$ ) dengan  $IM=0,96875$ .

#### D. Pentapisan Sinyal Pembangkit PWM Sinusoida

Pentapisan pelewat rendah terhadap pembangkit sinyal PWM sinusoida keluaran FPGA dimaksudkan untuk membuktikan bahwa pembangkit sinyal PWM

sinusoida telah dapat dirancang dan dikonfigurasi ke FPGA XC4013. Jika pembangkit sinyal PWM sinusoida ditapis melewati rendah, akan menghasilkan bentuk sinusoida. Selain itu juga dimaksudkan untuk mengetahui frekuensi dan tegangan efektif keluaran sinyal pembangkit PWM sinusoida. Rangkaian tapis melewati rendah (*Low Pass Filter*, LPF) yang digunakan pada penelitian ini adalah tapis pasif orde-2 seperti gambar 51. Frekuensi *cut-off*-nya adalah  $f_c = 1/(2\pi.R.C) = 53,08 \text{ Hz}$ .



Gambar 51. Rangkaian LPF Pasif Orde-2

Fungsi transfer dari rangkaian LPF pasif orde-2 gambar 51 dapat diperoleh dengan menerapkan metode loop sebagai berikut:

$$\text{Loop I : } v_{in} = \left( 30 + \frac{10.000}{s} \right) I_A - \frac{10.000}{s} I_B \quad (10)$$

$$\text{Loop II : } 0 = -\frac{10.000}{s} I_A + \left( \frac{20.000}{s} + 30 \right) I_B \quad (11)$$

Berdasarkan persamaan (10) dan (11), maka penyelesaian untuk  $I_B$  adalah sebagai berikut:



$$I_B = \frac{\begin{vmatrix} 30 + \frac{10.000}{s} & v_i \\ -\frac{10.000}{s} & 0 \end{vmatrix}}{\begin{vmatrix} 30 + \frac{10.000}{s} & -\frac{10.000}{s} \\ -\frac{10.000}{s} & \frac{20.000}{s} + 30 \end{vmatrix}} \quad (12)$$

dengan menyelesaikan persamaan (12) diperoleh:

$$I_B = \frac{10.000 s v_i}{900s^2 + 90.000s + 100.000} \quad (13)$$

karena  $v_o = I_B \cdot \frac{10.000}{s}$ , maka

$$v_o = \frac{10.000 s v_i}{900s^2 + 90.000s + 100.000} \cdot \frac{10.000}{s} \quad (14)$$

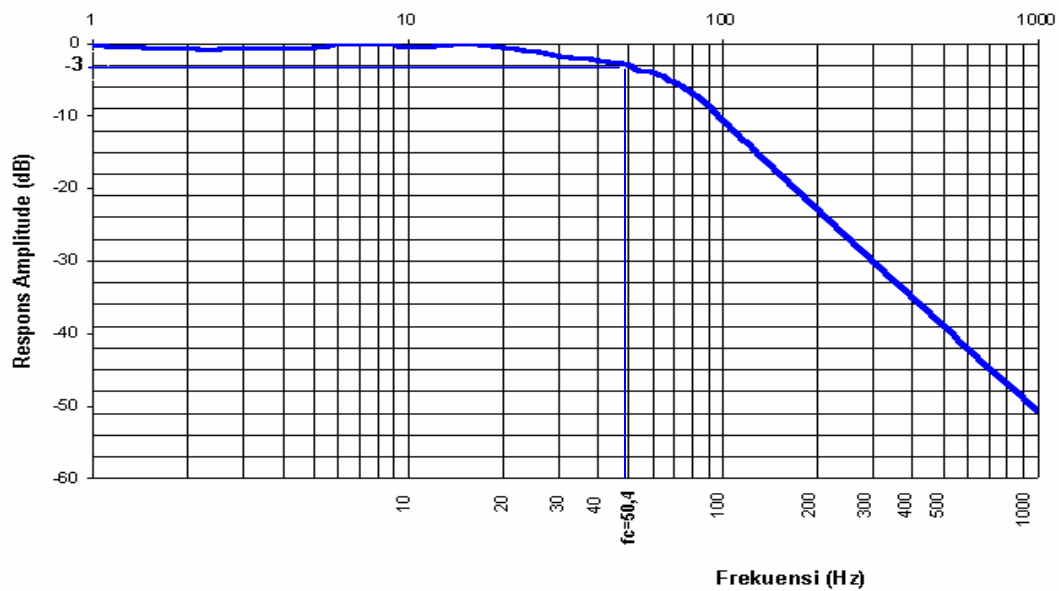
dengan menyelesaikan persamaan (14), diperoleh fungsi transfer rangkaian LPF gambar 51 sebagai berikut:

$$\frac{v_o}{v_i} = \frac{1}{0,09s^2 + 0,9s + 1} \quad (15)$$

berdasarkan persamaan (15), dapat diketahui rangkaian LPF gambar 51 adalah rangkaian LPF pasif orde-2.

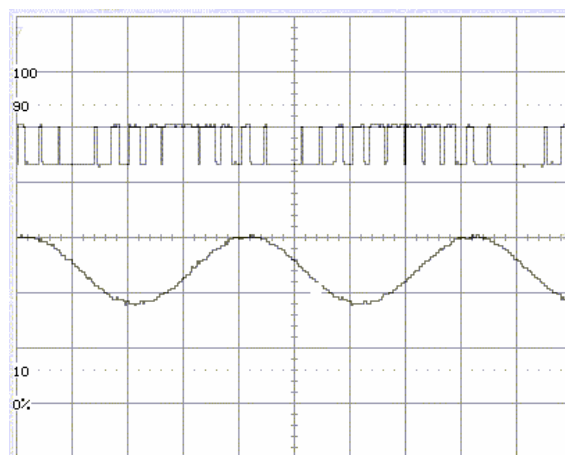
Berdasarkan hasil pengujian laboratorium dengan memberikan sinyal input sinusoida (dengan berbagai frekuensi) dari AFG pada rangkaian LPF gambar 51, dan

sinyal keluarannya diamati dengan DSO, diperoleh respons frekuensi seperti gambar 52.

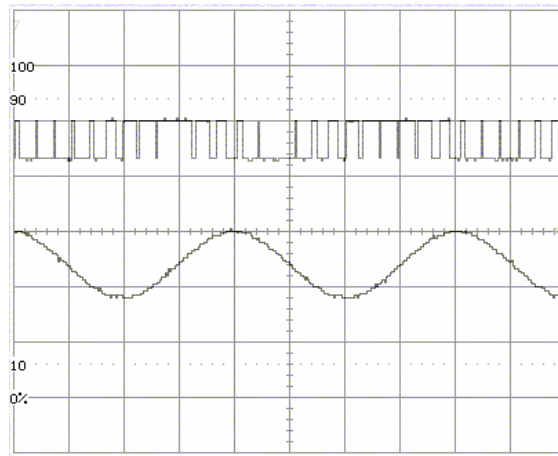


Gambar 52. Respons Frekuensi Rangkaian LPF Gambar 51.

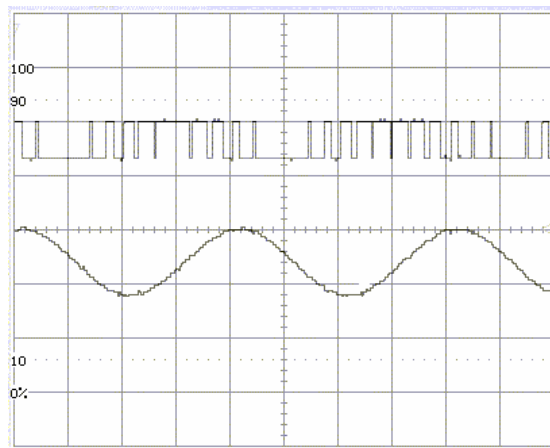
Hasil pengujian pentapisan terhadap keluaran pembangkit sinyal PWM sinusoida adalah sebagai berikut:



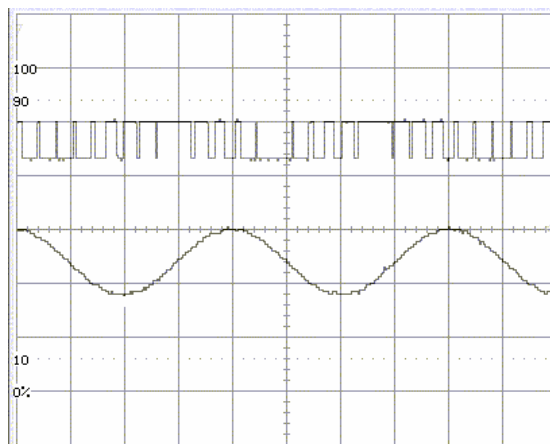
Gambar 53. Pengujian LPF terhadap pembangkit  $g_1$  keluaran FPGA.



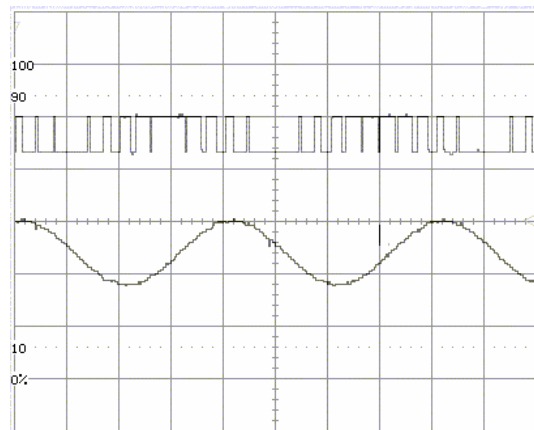
Gambar 54. Pengujian LPF terhadap pembangkit  $g_2$  keluaran FPGA.



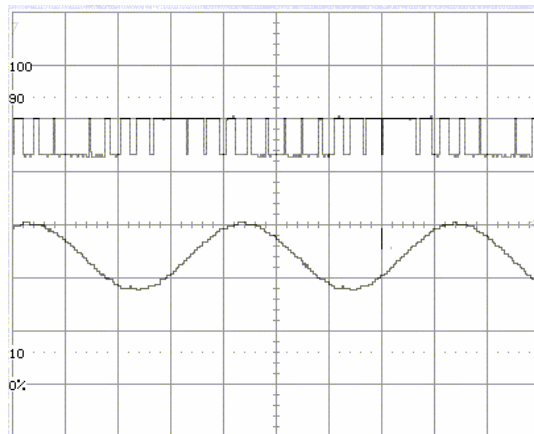
Gambar 55. Pengujian LPF terhadap pembangkit  $g_3$  keluaran FPGA.



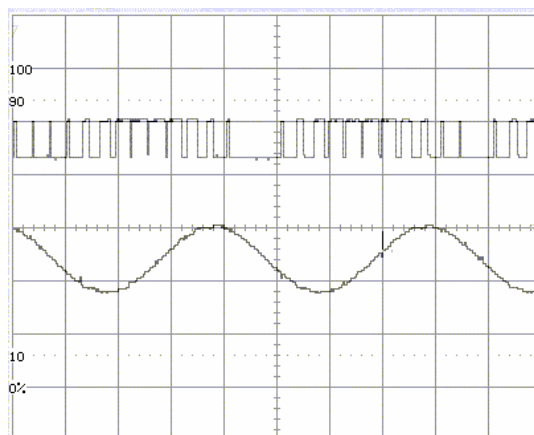
Gambar 56. Pengujian LPF terhadap pembangkit  $g_4$  keluaran FPGA.



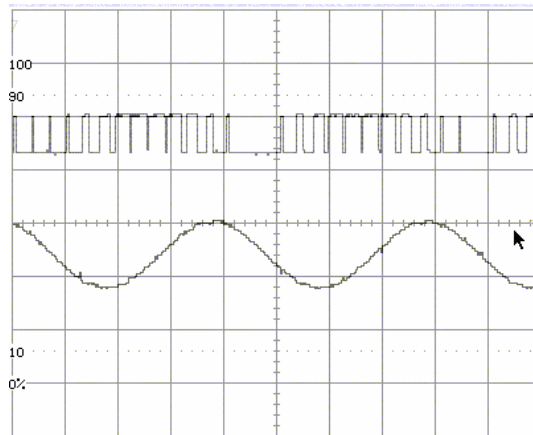
Gambar 57. Pengujian LPF terhadap pembangkit  $g_5$  keluaran FPGA.



Gambar 58. Pengujian LPF terhadap pembangkit  $g_6$  keluaran FPGA.

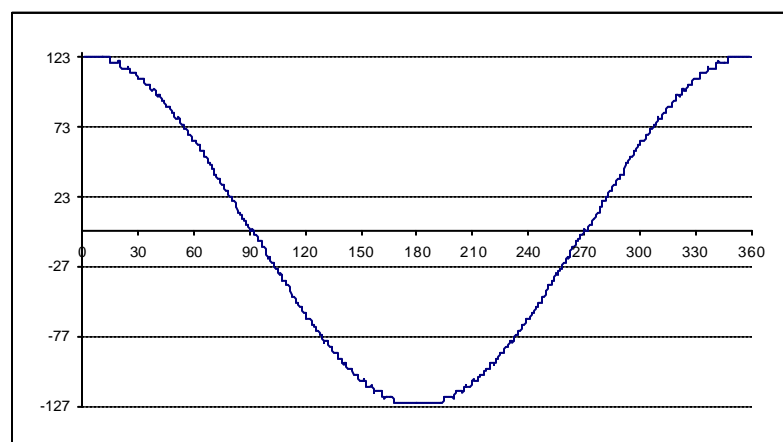


Gambar 59. Pengujian LPF terhadap Pembangkit  $g_7$  keluaran FPGA.



Gambar 60. Pengujian LPF terhadap pembangkit  $\phi$  keluaran FPGA.

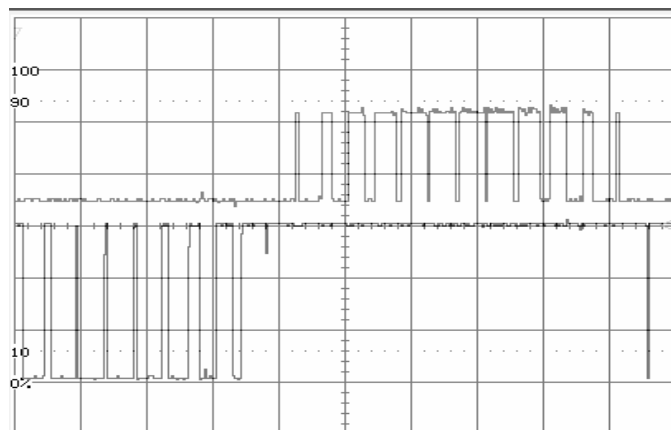
Berdasarkan gambar 53-60, bentuk keluaran pembangkit sinyal PWM sinusoida tertapis pelewat rendah menghasilkan bentuk sinusoida. Bentuk sinusoida yang dihasilkan tidak halus karena pada perancangan ini, 2 bit LSB data sinus Lampiran B dibuat bernilai nol untuk mengurangi jumlah gerbang yang digunakan sehingga rancangan pembangkit sinyal PWM sinusoida dapat di-*hardware*-kan ke sistem FPGA XC4013. Grafik memori sinus( $x+90^0$ ) dengan 2 bit LSB dibuat bernilai nol ditunjukkan pada gambar 61.



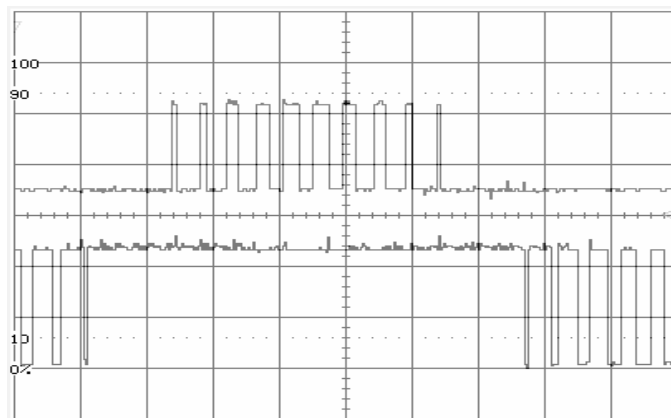
Gambar 61. Grafik memori sinus( $x+90^0$ ) dengan 2 bit LSB dibuat bernilai nol.

### E. Karakteristik Tegangan Keluaran Terhadap Perubahan Indeks Modulasi

Pengamatan terhadap bentuk dan besar tegangan bolak-balik keluaran inverter yang dihasilkan dari proses penyaklaran oleh sinyal-sinyal penggerak tidak dilakukan secara langsung. Untuk mengetahui pola tegangan hasil penyaklaran, dilakukan pengamatan pada terminal  $Q_1$ ,  $Q_2$ ,  $Q_3$  dan  $Q_4$  sebagaimana tabel 12. Terminal-terminal ini mengeluarkan sinyal yang dianalogikan dengan hasil penyaklaran oleh sinyal-sinyal penggerak yang terjadi pada inverter. Besarnya indeks modulasi ditentukan oleh kombinasi saklar dip-sw sebagaimana tabel 12.



Gambar 62. Hasil pengamatan fasa kesatu dengan  $IM = 0,875$ .



Gambar 63. Hasil pengamatan fasa kesatu dengan  $IM = 0,5$ .

Beberapa hasil pengamatan dengan variasi indeks modulasi ditunjukkan pada gambar 49, gambar 50, gambar 62 dan gambar 63. Dari gambar-gambar tersebut terlihat bahwa pengaturan indeks modulasi mempengaruhi lebar pulsa PWM yang dihasilkan, semakin besar indeks modulasi semakin besar juga lebar pulsa yang dihasilkan.

Tabel 13. Jumlah dan lebar pulsa tegangan keluaran sinyal pembangkit PWM sinusoida pada indeks modulasi berbeda secara simulasi.

Posisi Dip-SW (Indeks Modulasi)					Indeks Modulasi	$V_{AB}$		$V_{CD}$	
						$\Sigma$ Pulsa	Lebar Pulsa	$\Sigma$ Pulsa	Lebar Pulsa
0	0	0	0	0	0,00000	0	0 T	0	0 T
0	0	0	0	1	0,03125	0	0 T	0	0 T
0	0	0	1	0	0,06250	0	0 T	0	0 T
0	0	0	1	1	0,09375	24	0,06667 T	24	0,06667 T
0	0	1	0	0	0,12500	32	0,08889 T	32	0,08889 T
0	0	1	0	1	0,15625	32	0,08889 T	32	0,08889 T
0	0	1	1	0	0,18750	32	0,08889 T	32	0,08889 T
0	0	1	1	1	0,21875	48	0,13333 T	48	0,13333 T
0	1	0	0	0	0,25000	52	0,14444 T	52	0,14444 T
0	1	0	0	1	0,28125	56	0,15556 T	56	0,15556 T
0	1	0	1	0	0,31250	56	0,15556 T	56	0,15556 T
0	1	0	1	1	0,34375	68	0,18889 T	68	0,18889 T
0	1	1	0	0	0,37500	80	0,22222 T	80	0,22222 T
0	1	1	0	1	0,40625	84	0,23333 T	84	0,23333 T
0	1	1	1	0	0,43750	84	0,23333 T	84	0,23333 T
0	1	1	1	1	0,46875	92	0,25556 T	92	0,25556 T
1	0	0	0	0	0,50000	100	0,27778 T	100	0,27778 T
1	0	0	0	1	0,53125	108	0,30000 T	108	0,30000 T
1	0	0	1	0	0,56250	112	0,31111 T	112	0,31111 T
1	0	0	1	1	0,59375	116	0,32222 T	116	0,32222 T
1	0	1	0	0	0,62500	128	0,35556 T	128	0,35556 T
1	0	1	0	1	0,65625	132	0,36667 T	132	0,36667 T
1	0	1	1	0	0,68750	136	0,37778 T	136	0,37778 T
1	0	1	1	1	0,71875	140	0,38889 T	140	0,38889 T
1	1	0	0	0	0,75000	148	0,41111 T	148	0,41111 T
1	1	0	0	1	0,78125	156	0,43333 T	156	0,43333 T
1	1	0	1	0	0,81250	156	0,43333 T	156	0,43333 T
1	1	0	1	1	0,84375	168	0,46667 T	168	0,46667 T
1	1	1	0	0	0,87500	176	0,48889 T	176	0,48889 T
1	1	1	0	1	0,90625	184	0,51111 T	184	0,51111 T
1	1	1	1	0	0,93750	188	0,52222 T	188	0,52222 T
1	1	1	1	1	0,96875	188	0,52222 T	188	0,52222 T

Besarnya tegangan efektif ( $V_{rms}$ ) yang dihasilkan pada suatu nilai indeks modulasi dapat dihitung dari lebar pulsa tegangan dalam satu periode. Dari hasil

simulasi diperoleh jumlah dan lebar pulsa tegangan keluaran untuk indeks modulasi berbeda seperti ditunjukkan pada tabel 13. Lebar pulsa tegangan dengan indeks modulasi berbeda keluaran FPGA juga diamati dengan *Digital Storage Oscilloscop* (DSO) dan hasilnya ditunjukkan pada tabel 14.

Tabel 14. Lebar pulsa tegangan keluaran sinyal pembangkit PWM sinusoida pada indeks modulasi berbeda keluaran FPGA

Posisi Dip-SW (Indeks Modulasi)					Indeks Modulasi	V <sub>AB</sub>	V <sub>CD</sub>
						Lebar Pulsa	Lebar Pulsa
0	0	0	0	0	0,00000	0 T	0 T
0	0	0	0	1	0,03125	0 T	0 T
0	0	0	1	0	0,06250	0 T	0 T
0	0	0	1	1	0,09375	0,05657 T	0,05657 T
0	0	1	0	0	0,12500	0,08485 T	0,08485 T
0	0	1	0	1	0,15625	0,08485 T	0,08485 T
0	0	1	1	0	0,18750	0,08485 T	0,08485 T
0	0	1	1	1	0,21875	0,12121 T	0,12121 T
0	1	0	0	0	0,25000	0,13737 T	0,13737 T
0	1	0	0	1	0,28125	0,15354 T	0,15354 T
0	1	0	1	0	0,31250	0,15354 T	0,15354 T
0	1	0	1	1	0,34375	0,18586 T	0,18586 T
0	1	1	0	0	0,37500	0,21010 T	0,21010 T
0	1	1	0	1	0,40625	0,22626 T	0,22626 T
0	1	1	1	0	0,43750	0,22626 T	0,22626 T
0	1	1	1	1	0,46875	0,25051 T	0,25051 T
1	0	0	0	0	0,50000	0,27475 T	0,27475 T
1	0	0	0	1	0,53125	0,29899 T	0,29899 T
1	0	0	1	0	0,56250	0,31111 T	0,31111 T
1	0	0	1	1	0,59375	0,31919 T	0,31919 T
1	0	1	0	0	0,62500	0,34747 T	0,34747 T
1	0	1	0	1	0,65625	0,36364 T	0,36364 T
1	0	1	1	0	0,68750	0,37576 T	0,37576 T
1	0	1	1	1	0,71875	0,38788 T	0,38788 T
1	1	0	0	0	0,75000	0,41212 T	0,41212 T
1	1	0	0	1	0,78125	0,43232 T	0,43232 T
1	1	0	1	0	0,81250	0,43232 T	0,43232 T
1	1	0	1	1	0,84375	0,46061 T	0,46061 T
1	1	1	0	0	0,87500	0,48485 T	0,48485 T
1	1	1	0	1	0,90625	0,50909 T	0,50909 T
1	1	1	1	0	0,93750	0,52525 T	0,52525 T
1	1	1	1	1	0,96875	0,52525 T	0,52525 T

Hasil Pengamatan dengan DSO terhadap tegangan  $V_{p-p}$  keluaran pentapisan sinyal PWM sinusoida dengan indeks modulasi berbeda ditunjukkan pada tabel 15.



Tabel 15. Nilai  $V_{p-p}$  pada indeks modulasi berbeda.

Indeks Modulasi (M)	Tegangan $V_{p-p}$ Pada $V_{AB}$ dan $V_{CD}$ (Volt)
0,00000	0,00
0,03125	0,00
0,06250	0,00
0,09375	0,52
0,12500	0,78
0,15625	0,78
0,18750	0,78
0,21875	0,96
0,25000	1,02
0,28125	1,12
0,31250	1,12
0,34375	1,16
0,37500	1,22
0,40625	1,36
0,43750	1,36
0,46875	1,40
0,50000	1,46
0,53125	1,50
0,56250	1,56
0,59375	1,60
0,62500	1,64
0,65625	1,68
0,68750	1,72
0,71875	1,76
0,75000	1,81
0,78125	1,86
0,81250	1,86
0,84375	1,92
0,87500	1,96
0,90625	2,01
0,93750	2,05
0,96875	2,05

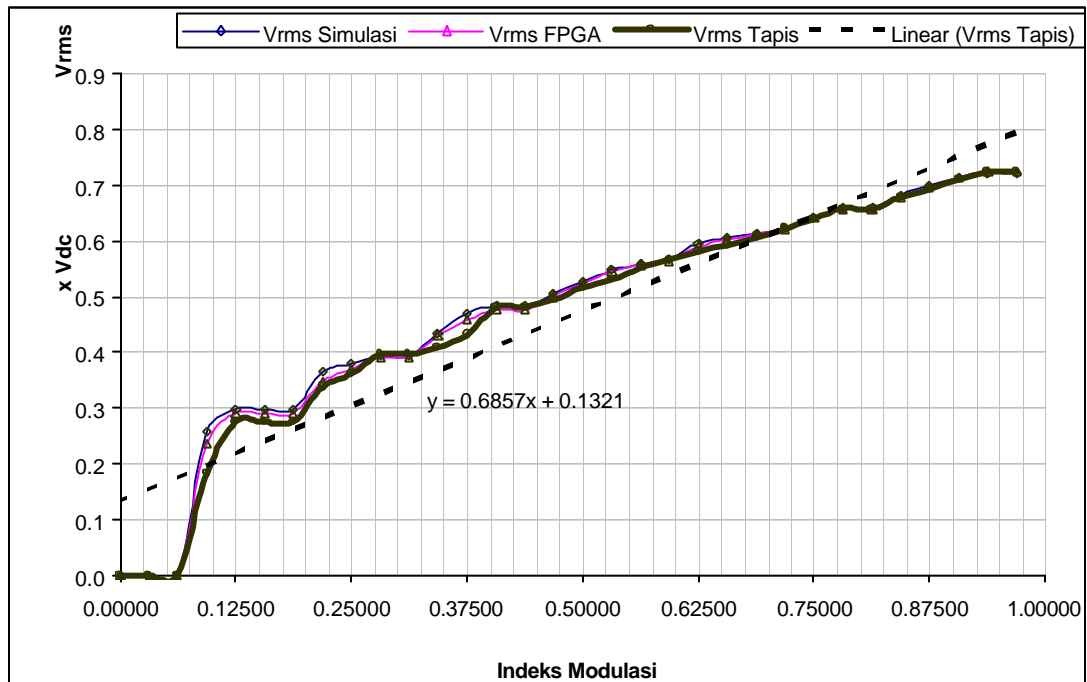
Berdasarkan tabel 13 dan 14 Besarnya  $V_{rms}$  hasil simulasi dan sinyal pembangkit PWM sinusoida keluaran FPGA pada tiap indeks modulasi dapat dihitung. Lebar pulsa tegangan dalam satu periode dibagi dengan periode, kemudian

diakar dan dikalikan dengan tegangan searah. Besarnya  $V_{rms}$  keluaran pentapisan sinyal PWM sinusoida dihitung dengan membagi nilai  $V_{p-p}$  tabel 15 dengan  $2\sqrt{2}$ .

Tabel 16. Nilai  $V_{rms}$  pada indeks modulasi berbeda.

Indeks Modulasi (M)	Tegangan Efektif ( $V_{rms}$ ) pada $V_{AB}$ dan $V_{CD}$ hasil simulasi	Tegangan Efektif ( $V_{rms}$ ) pada $V_{AB}$ dan $V_{CD}$ keluaran FPGA	Tegangan Efektif ( $V_{rms}$ ) pada $V_{AB}$ dan $V_{CD}$ keluaran pentapisan LPF
0,00000	$0,000000 \times V_{DC}$	$0,000000 \times V_{DC}$	$0,000000 \times V_{DC}$
0,03125	$0,000000 \times V_{DC}$	$0,000000 \times V_{DC}$	$0,000000 \times V_{DC}$
0,06250	$0,000000 \times V_{DC}$	$0,000000 \times V_{DC}$	$0,000000 \times V_{DC}$
0,09375	$0,258199 \times V_{DC}$	$0,237835 \times V_{DC}$	$0,183850 \times V_{DC}$
0,12500	$0,298142 \times V_{DC}$	$0,291288 \times V_{DC}$	$0,275774 \times V_{DC}$
0,15625	$0,298142 \times V_{DC}$	$0,291288 \times V_{DC}$	$0,275774 \times V_{DC}$
0,18750	$0,298142 \times V_{DC}$	$0,291288 \times V_{DC}$	$0,275774 \times V_{DC}$
0,21875	$0,365148 \times V_{DC}$	$0,348155 \times V_{DC}$	$0,339415 \times V_{DC}$
0,25000	$0,380058 \times V_{DC}$	$0,370640 \times V_{DC}$	$0,360628 \times V_{DC}$
0,28125	$0,394405 \times V_{DC}$	$0,391836 \times V_{DC}$	$0,395984 \times V_{DC}$
0,31250	$0,408252 \times V_{DC}$	$0,391836 \times V_{DC}$	$0,395984 \times V_{DC}$
0,34375	$0,434613 \times V_{DC}$	$0,431113 \times V_{DC}$	$0,410126 \times V_{DC}$
0,37500	$0,471405 \times V_{DC}$	$0,458368 \times V_{DC}$	$0,431339 \times V_{DC}$
0,40625	$0,483046 \times V_{DC}$	$0,475671 \times V_{DC}$	$0,480837 \times V_{DC}$
0,43750	$0,494409 \times V_{DC}$	$0,475671 \times V_{DC}$	$0,480837 \times V_{DC}$
0,46875	$0,505525 \times V_{DC}$	$0,500505 \times V_{DC}$	$0,494979 \times V_{DC}$
0,50000	$0,527046 \times V_{DC}$	$0,524164 \times V_{DC}$	$0,516193 \times V_{DC}$
0,53125	$0,547723 \times V_{DC}$	$0,546800 \times V_{DC}$	$0,530335 \times V_{DC}$
0,56250	$0,557773 \times V_{DC}$	$0,557773 \times V_{DC}$	$0,551549 \times V_{DC}$
0,59375	$0,567646 \times V_{DC}$	$0,564971 \times V_{DC}$	$0,565691 \times V_{DC}$
0,62500	$0,596285 \times V_{DC}$	$0,589470 \times V_{DC}$	$0,579833 \times V_{DC}$
0,65625	$0,605530 \times V_{DC}$	$0,603023 \times V_{DC}$	$0,593975 \times V_{DC}$
0,68750	$0,614636 \times V_{DC}$	$0,612991 \times V_{DC}$	$0,608118 \times V_{DC}$
0,71875	$0,623610 \times V_{DC}$	$0,622799 \times V_{DC}$	$0,622260 \times V_{DC}$
0,75000	$0,641179 \times V_{DC}$	$0,641967 \times V_{DC}$	$0,639938 \times V_{DC}$
0,78125	$0,658281 \times V_{DC}$	$0,657513 \times V_{DC}$	$0,657616 \times V_{DC}$
0,81250	$0,658281 \times V_{DC}$	$0,657513 \times V_{DC}$	$0,657616 \times V_{DC}$
0,84375	$0,683130 \times V_{DC}$	$0,678680 \times V_{DC}$	$0,678829 \times V_{DC}$
0,87500	$0,699206 \times V_{DC}$	$0,696311 \times V_{DC}$	$0,692971 \times V_{DC}$
0,90625	$0,714920 \times V_{DC}$	$0,713506 \times V_{DC}$	$0,710649 \times V_{DC}$
0,93750	$0,722649 \times V_{DC}$	$0,724743 \times V_{DC}$	$0,724791 \times V_{DC}$
0,96875	$0,722649 \times V_{DC}$	$0,724743 \times V_{DC}$	$0,724791 \times V_{DC}$

Tegangan efektif hasil simulasi, sinyal PWM sinusoida keluaran FPGA dan keluaran pentapisan sinyal PWM sinusoida ditunjukkan pada tabel 16, sedangkan grafik  $V_{rms}$  terhadap indeks modulasi ditunjukkan pada gambar 64.



Gambar 64. Grafik  $V_{rms}$  terhadap indeks modulasi.

Berdasarkan gambar 64, pada rentang indeks modulasi 0,12500–0,96875 grafik  $V_{rms}$  cenderung linear terhadap perubahan indeks modulasi. Persamaan fungsi  $V_{rms}$  sinyal PWM sinusoida tertapis pelewat rendah terhadap perubahan indeks modulasi dengan pendekatan regresi linear menghasilkan persamaan fungsi sebagai berikut:

$$V_{rms} = 0,6857 x + 0,1321 \quad (4)$$

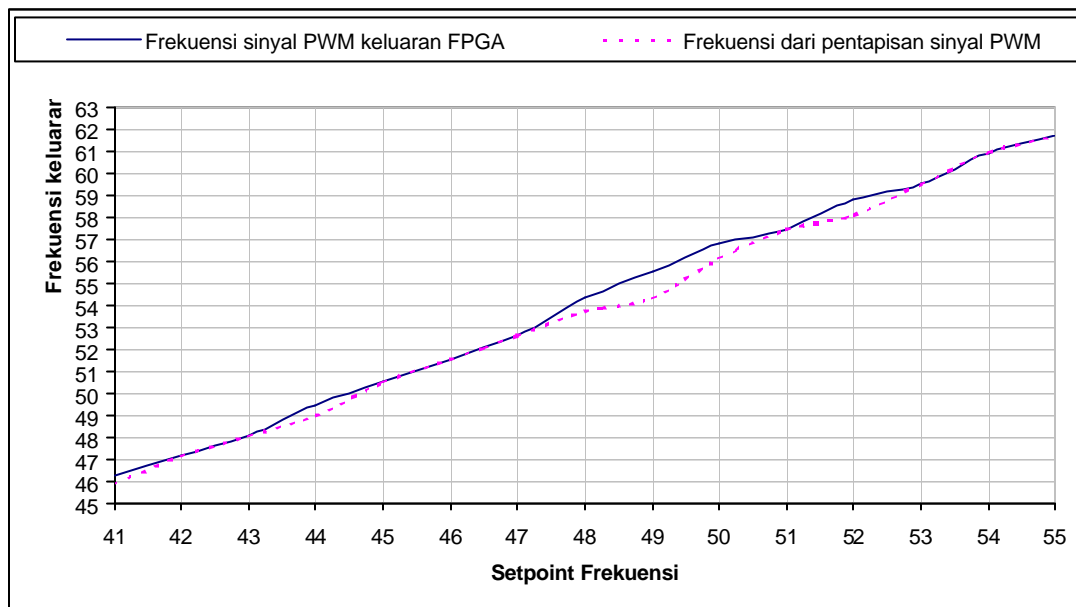
### F. Pengujian Frekuensi Sinyal PWM

Pengujian frekuensi sinyal PWM dilakukan langsung pada sinyal penggerak keluaran FPGA yang telah dikonfigurasi sebagai pembangkit sinyal PWM dan frekuensi sinyal PWM sinusoida tertapis pelewat rendah. Nilai frekuensi yang diinginkan dimasukkan melalui Dip-Sw, yaitu saklar yang difungsikan sebagai data frekuensi. Pengukuran dilakukan untuk *set point* 41-55 Hz. Hasil pengujian ditunjukkan pada tabel 17.

Tabel 17. Hasil pengukuran frekuensi sinyal PWM.

Set Point	Frekuensi PWM keluaran FPGA	Frekuensi sinyal PWM sinusoida tertapis pelewat rendah
41	46,30	45,87
42	47,17	47,16
43	48,08	48,07
44	49,50	49,01
45	50,50	50,50
46	51,55	51,54
47	52,63	52,63
48	54,35	53,76
49	55,55	54,34
50	56,81	56,17
51	57,47	57,47
52	58,82	58,13
53	59,52	59,52
54	60,97	60,97
55	61,72	61,72

Berdasarkan tabel 17, frekuensi sinyal PWM keluaran FPGA rata-rata 1,126 kali dari frekuensi *set point* sedangkan frekuensi sinyal PWM keluaran FPGA tertapis pelewat rendah rata-rata 1,120 kali dari frekuensi *set point*. Grafik set point frekuensi sinyal PWM dan frekuensi terukur ditunjukkan pada gambar 65.



Gambar 65. Grafik frekuensi set point dan frekuensi terukur.

Berdasarkan tabel 17, jika dihitung frekuensi osilator internal FPGA XC4013 adalah sebagaimana tabel 18.

Tabel 18. Frekuensi osilator berdasar pengukuran.

Set Point	Frekuensi sinyal PWM (f)	Frekuensi sinyal PWM tertapis (f)	Data Pembagi (n)	Frekuensi osilator (MHz) berdasar keluaran sinyal PWM sinusoida ( $OSC = f \times p \times 2 \times 360$ )	Frekuensi osilator (MHz) berdasar keluaran sinyal PWM sinusoida tertapis pelewat rendah ( $OSC = f \times p \times 2 \times 360$ )
41	46,30	45,87	271	9,03	8,95
42	47,17	47,16	264	8,97	8,96
43	48,08	48,07	258	8,93	8,92
44	49,50	49,01	252	8,98	8,89
45	50,50	50,50	247	8,98	8,98
46	51,55	51,54	242	8,98	8,98
47	52,63	52,63	236	8,94	8,94
48	54,35	53,76	231	9,04	8,94
49	55,55	54,34	227	9,08	8,88
50	56,81	56,17	222	9,08	8,97
51	57,47	57,47	218	9,02	9,02
52	58,82	58,13	214	9,06	8,95
53	59,52	59,52	210	9,00	8,99
54	60,97	60,97	206	9,04	9,04
55	61,72	61,72	202	8,98	8,97
				OSC rata-rata = 9,01 MHz	OSC rata-rata = 8,96 MHz

Berdasarkan perhitungan pada tabel 18 diperoleh hasil bahwa berdasarkan pengukuran sinyal PWM sinusoida, frekuensi internal 8 MHz pada XC4013 yang dipakai pada penelitian ini mempunyai frekuensi 9,01 MHz sedangkan berdasarkan pengukuran sinyal PWM sinusoida tertapis pelewat rendah mempunyai frekuensi 8,96 MHz.

Dengan Asumsi frekuensi osilator internal pada FPGA adalah 9,01 MHz, maka jika rancangan pembangkit sinyal PWM sinusoida dua fasa diinginkan mempunyai frekuensi dasar 50 Hz, unit pembagi frekuensi terprogram yang dirancang pada tesis ini dapat diganti dengan rangkaian pencacah asinkron mod-500 ( $9,01 \text{ MHz} / 18 \text{ KHz}$ ) sebagai pembagi frekuensinya. Jika unit pembagi frekuensi terprogram diganti dengan pencacah asinkron mod-500, maka frekuensi dasar sinyal PWM yang dihasilkan secara teoritis adalah 50,06 Hz ( $9,01 \text{ MHz} / (500 \times 360)$ ). Sedangkan dengan asumsi frekuensi osilator internal pada FPGA adalah 8,96 MHz dan dengan unit pembagi frekuensi terprogram diganti pencacah mod-498, maka frekuensi dasar sinyal PWM yang dihasilkan secara teoritis adalah 49,99 Hz ( $8,96 \text{ MHz} / (498 \times 360)$ ).

## V. KESIMPULAN DAN SARAN

### A. Kesimpulan

Berdasarkan hasil simulasi, pengujian dan analisis dapat diperoleh kesimpulan sebagai berikut:

1. Pembangkit sinyal PWM sinusoida dua fasa yang dirancang dapat dikonfigurasi secara perangkat keras pada sistem FPGA seri XC4013 dan membutuhkan 572 CLB atau sebesar 99%.
2. Implementasi pembangkit sinyal PWM sinusoida dua fasa dalam wujud perangkat keras sistem FPGA XC4013 dapat bekerja sesuai yang diharapkan. Fasa kesatu dan kedua mempunyai beda fasa  $90^0$ . Frekuensi dasar sinyal PWM 50 Hz dapat dicapai dengan tingkat ketelitian 99%. Frekuensi dasar sinyal PWM 50 Hz ini dapat didekati oleh *setpoint* frekuensi 45 Hz yang menghasilkan frekuensi terukur 50,50 Hz.
3. Tegangan efektif ( $V_{rms}$ ) keluaran inverter hasil penyaklaran oleh sinyal-sinyal penggerak pada rentang indeks modulasi 0,12500-0,96875 menghasilkan grafiks  $V_{rms}$  yang cenderung linear terhadap perubahan indeks modulasi. Tegangan efektif sinyal PWM sinusoida dapat bervariasi dari  $0,18 \times V_{DC}$  hingga  $0,72 \times V_{DC}$ . Persamaan fungsi  $V_{rms}$  terhadap indeks modulasi dengan pendekatan regresi linear adalah  $y = 0,6857 x + 0,1321$ .
4. Frekuensi osilator internal 8 MHz menghasilkan frekuensi osilator 8,96 MHz atau mempunyai tingkat kesalahan 12,048 %.

## **B. Saran**

Saran-saran untuk penelitian berikutnya adalah sebagai berikut:

1. Hasil penelitian ini dapat dijadikan acuan untuk perancangan untai digital pembangkit sinyal PWM yang akan diimplementasikan ke dalam keping FPGA, baik dengan PWM sinusoida ataupun dengan metode yang lain seperti PWM seragam, PWM sinusoida termodifikasi, kendali penggeseran fasa maupun dengan teknik modulasi lanjut seperti modulasi trapezoida, modulasi bertingkat dan modulasi delta, baik dengan FPGA Xilinx maupun dengan FPGA yang lain seperti Altera Max7000S.
2. Kepresisian frekuensi sinyal PWM sinusoida dapat diupayakan untuk ditingkatkan dengan membuat data pembagi frekuensi pada rentang 247-253.
3. Peningkatan unjuk kerja sistem dapat dilakukan dengan mengimplementasikan rancangan pada FPGA lain yang memiliki sumber daya yang lebih tinggi sehingga level kuantisasi dan frekuensi pencuplikan dapat dinaikkan.
4. Perlu diupayakan metode penyederhaan gerbang yang lebih optimal berbasis perangkat lunak.



## VI. RINGKASAN

### A. Latar Belakang

Selama ini pengendalian inverter PWM secara digital dilakukan dengan menggunakan mikrokontroler atau DSP (*Digital Signal Processing*). Tuntutan akan kecepatan operasi dan unjuk kerja pengendali yang handal mendorong untuk mengimplementasikan sinyal PWM dalam bentuk rangkaian logika perangkat keras (*hardware logic*). Operasi dalam bentuk perangkat keras ini mempunyai kecepatan lebih tinggi dibanding operasi yang dilakukan secara perangkat lunak oleh mikrokontroler, karena operasi dengan perangkat lunak membutuhkan waktu untuk menerjemahkan perintah-perintah pemrograman.

Implementasi operasi-operasi digital dalam bentuk perangkat keras dapat dilakukan dengan FPGA (*Field Programmable Gate Array*). FPGA memuat ribuan gerbang logika yang dapat diprogram untuk membentuk suatu logika, baik sistem kombinasional dan sekuensial dengan kecepatan dan lebar bit data yang tinggi sehingga mampu melakukan operasi dengan tingkat keparalelan tinggi yang tak mungkin dilakukan oleh mikrokontroler.

Tesis ini membahas mengenai rancang bangun suatu sistem digital yang berfungsi membangkitkan sinyal PWM sinusoida sebagai sinyal penggerak rangkaian inverter dua fasa. Rancangan dibuat dalam bentuk skematik/gambar dan disimulasikan dengan bantuan perangkat lunak OrCAD 9.1, dan selanjutnya dikonfigurasi secara perangkat keras pada sistem FPGA XC4013.

Rancang bangun dengan FPGA ini dibatasi oleh beberapa parameter yang dimiliki FPGA XC4013, diantaranya: kapasitas gerbang logika, jumlah CLB (*Configurable Logic Block*), jumlah IOB (*Input/Output Block*) dan jumlah flip-flop. Oleh karena itu rancangan tersebut dibuat sesederhana mungkin sehingga pemakaian gerbang logika optimal.

## **B. Tinjauan Pustaka**

Pengaturan tegangan dapat dilakukan di luar inverter atau di dalam inverter. Pengaturan tegangan di luar inverter dilakukan dengan mengatur variasi tegangan searah masukan inverter. Pengaturan tegangan di dalam inverter dikenal sebagai Modulasi Lebar Pulsa (*Pulse Width Modulation*, PWM) dan selanjutnya disebut inverter PWM.

Rashid (1993) menyatakan bahwa banyak penerapan dalam industri sering memerlukan pengaturan tegangan. Metode yang paling efisien untuk mengatur tegangan adalah memasukkan pengaturan PWM ke dalam inverter. Teknik yang umum digunakan adalah:

- f. PWM tunggal (*single pulse width modulation*)
- g. PWM jamak (*multiple pulse width modulation*)
- h. PWM sinusoida
- i. PWM modifikasi sinusodia
- j. Pengaturan penempatan fasa (*phase displacement*)

PWM adalah satu teknik yang terbukti baik untuk mengatur inverter guna mendapatkan tegangan berubah dan frekuensi berubah dari tegangan tetap sumber

DC (Grant dan Seidner, 1981). Bentuk gelombang tegangan keluaran inverter tidak sinusoida murni karena mengandung banyak komponen frekuensi yang tidak diinginkan. Jika keluaran inverter ini dicatu ke motor AC, komponen tersebut akan menambah kerugian, getaran dan riak pada motor. Grant dan Seidner juga menyatakan bahwa harmonik yang timbul dapat dihindari jika frekuensi pembawa mempunyai variasi berupa kelipatan dari frekuensi pemodulasi. Teknik modulasi dengan perbandingan frekuensi pembawa dan pemodulasi yang demikian disebut PWM sinkron. Teknik PWM sinkron ini mampu menghasilkan bentuk gelombang dengan komponen harmonik berfrekuensi jauh lebih tinggi dari frekuensi fundamental.

Macam-macam analisis teknik pembangkitan pulsa PWM telah dikembangkan menggunakan algoritma yang berbeda-beda seperti yang dilakukan Ritter dkk (2003), Guilberto dkk (2003), Marco dkk (2001), Pascual, dkk (2002), dan Takahashi (2002), tetapi satu prinsip dasar yaitu modulasi antara gelombang sinus sebagai acuan atau gelombang modulasi, dan gelombang segitiga sebagai gelombang pembawa atau pewaktu.

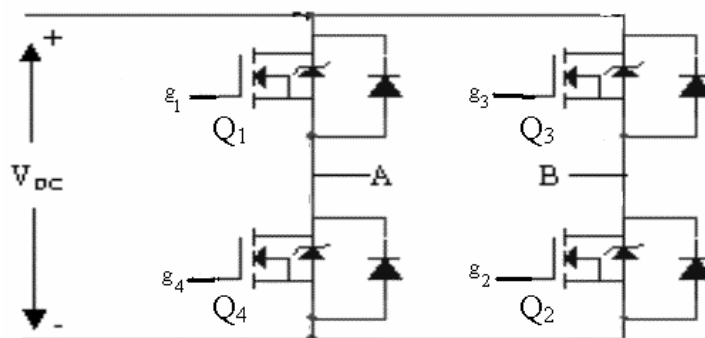
Sutopo (2000), sebagaimana dikutip Kusumawardani (2001), menyatakan bahwa perancangan dengan FPGA dapat dilakukan dengan cepat, mudah dimodifikasi dan sesuai untuk *prototyping*, tetapi akan relatif mahal dan tidak ekonomis untuk produksi yang besar. Penggunaan dengan ASIC (*Application Specific Integrated Circuit*) akan lebih sesuai untuk produksi besar, tetapi perancangan dengan ASIC akan lebih kompleks dan memerlukan waktu yang lebih lama.

Meskipun telah diketahui beberapa algoritma pembangkitan sinyal PWM dari hasil-hasil penelitian terdahulu, akan tetapi uraian lengkap proses pembangkitan sinyal PWM sulit diperoleh karena tidak dipublikasikan. Pada tesis ini akan dirancang pembangkitan sinyal PWM sinusoida dua fasa secara digital berbasis FPGA XC4013. Teknik modulasi yang digunakan adalah modulasi PWM sinkron, dengan jumlah gelombang segitiga dalam satu periode sinus ditetapkan sebanyak 12 ( $m=12$ ). Pembangkit sinyal PWM dirancang untuk menghasilkan sinyal PWM dua fasa dengan beda fasa  $90^\circ$ , frekuensi 50 Hz dan indeks modulasi bervariasi dari 0 hingga 0,96875 dengan tingkat perubahan 0,03125 (32 variasi).

### C. Landasan Teori

#### 1. Inverter PWM Satu Fasa

Fungsi sebuah inverter adalah untuk merubah tegangan input DC menjadi tegangan AC pada besar dan frekuensi yang dapat diatur (Rashid: 1993).



Gambar 1. Urutan komponen penyaklaran daya pada jembatan inverter satu fasa.

Tegangan bolak-balik pada terminal A-B (gambar 1) dihasilkan dari kombinasi penyaklaran komponen penyaklaran daya yang bersilangan (tabel 1).

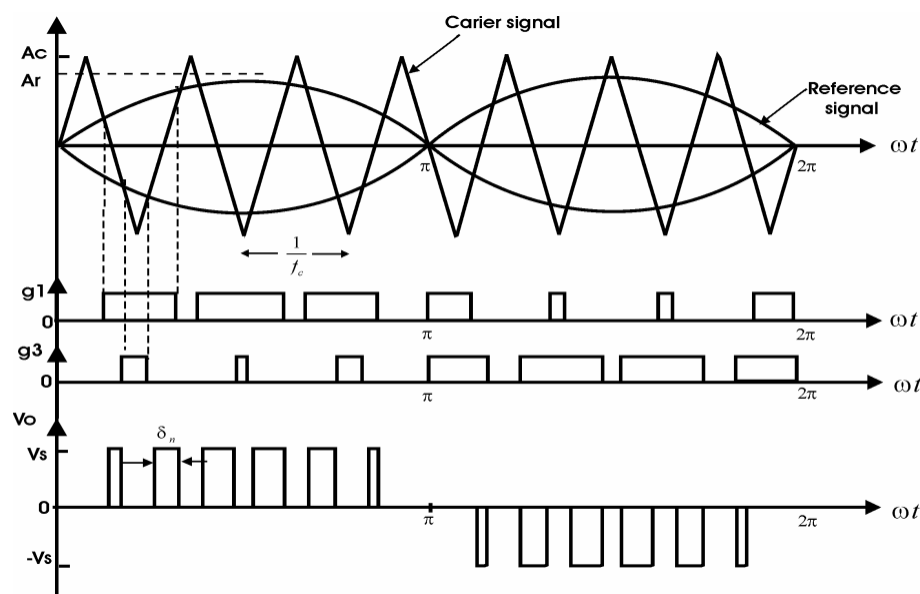
Dengan asumsi urutan komponen penyaklaran daya seperti gambar 1, maka ketika  $Q_1$  dan  $Q_2$  “ON”, arus akan mengalir dari  $Q_1$  ke  $Q_2$  melewati beban sehingga tegangan antara terminal A dan B akan positif ( $V_{AB} = +V_{DC}$ ). Ketika  $Q_3$  dan  $Q_4$  “ON”, arus mengalir dari  $Q_3$  ke  $Q_4$  melalui beban sehingga  $V_{AB} = -V_{DC}$ .

Tabel 1. Kombinasi penyaklaran komponen penyaklaran daya dan tegangan keluaran inverter.

Pasangan 1		Pasangan 2		Tegangan Keluaran
$Q_1$	$Q_4$	$Q_2$	$Q_3$	$V_{AB}$
ON	OFF	ON	OFF	$+V_{DC}$
OFF	ON	OFF	ON	$-V_{DC}$
OFF	ON	ON	OFF	0
ON	OFF	OFF	ON	0

## 2. Pembangkitan Sinyal PWM Sinusoida Satu Fasa Secara Analog

Prinsip kerja pembangkitan sinyal PWM sinusoida satu fasa (gambar 2) adalah mengatur lebar pulsa mengikuti pola gelombang sinusoida. Sinyal pembangkit PWM sinusoida diperoleh dengan cara sebagai berikut (gambar 2).



Gambar 2. Pembangkitan PWM sinusoida satu fasa secara analog.

- e. Sinyal  $g_1$  diperoleh dengan membandingkan sinyal referensi  $\sin(\omega t)$  dan sinyal pembawa  $sgt(\omega t)$ :

$$g_1 = \begin{cases} 1, & \text{jika } A_r \cdot \sin(\omega t) \geq A_c \cdot sgt(\omega t) \\ 0, & \text{lainnya} \end{cases} \quad (1)$$

atau

$$g_1 = \begin{cases} 1, & \text{jika } M \cdot \sin(\omega t) \geq sgt(\omega t) \\ 0, & \text{lainnya} \end{cases} \quad (2)$$

- f. Sinyal  $g_3$  diperoleh dengan membandingkan sinyal referensi  $-\sin(\omega t)$  dan sinyal pembawa  $sgt(\omega t)$ :

$$g_3 = \begin{cases} 1, & \text{jika } A_r \cdot -\sin(\omega t) \geq A_c \cdot sgt(\omega t) \\ 0, & \text{lainnya} \end{cases} \quad (3)$$

atau

$$g_3 = \begin{cases} 1, & \text{jika } M \cdot -\sin(\omega t) \geq sgt(\omega t) \\ 0, & \text{lainnya} \end{cases} \quad (4)$$

- g. Sinyal  $g_2 = -g_3$

- h. Sinyal  $g_4 = -g_1$

Sedangkan tegangan sesaat keluaran inverter PWM sinusoida satu fasa adalah sebagai berikut:

- c. Pada setengah periode positif, keluaran tegangan ditentukan oleh sinyal  $g_1$  dan  $g_2$ .

$$V_o = \begin{cases} V_s, & \text{jika } g_1 \text{ dan } g_2 \text{ "ON" bersamaan} \\ 0, & \text{lainnya} \end{cases} \quad (5)$$

d. Pada setengah periode negatif, keluaran tegangan ditentukan oleh sinyal  $g_3$  dan  $g_4$ .

$$V_o = \begin{cases} -V_s, & \text{jika } g_3 \text{ dan } g_4 \text{ "ON" bersamaan} \\ 0, & \text{lainnya} \end{cases} \quad (6)$$

Persamaan (5) dapat dinyatakan sebagai berikut:

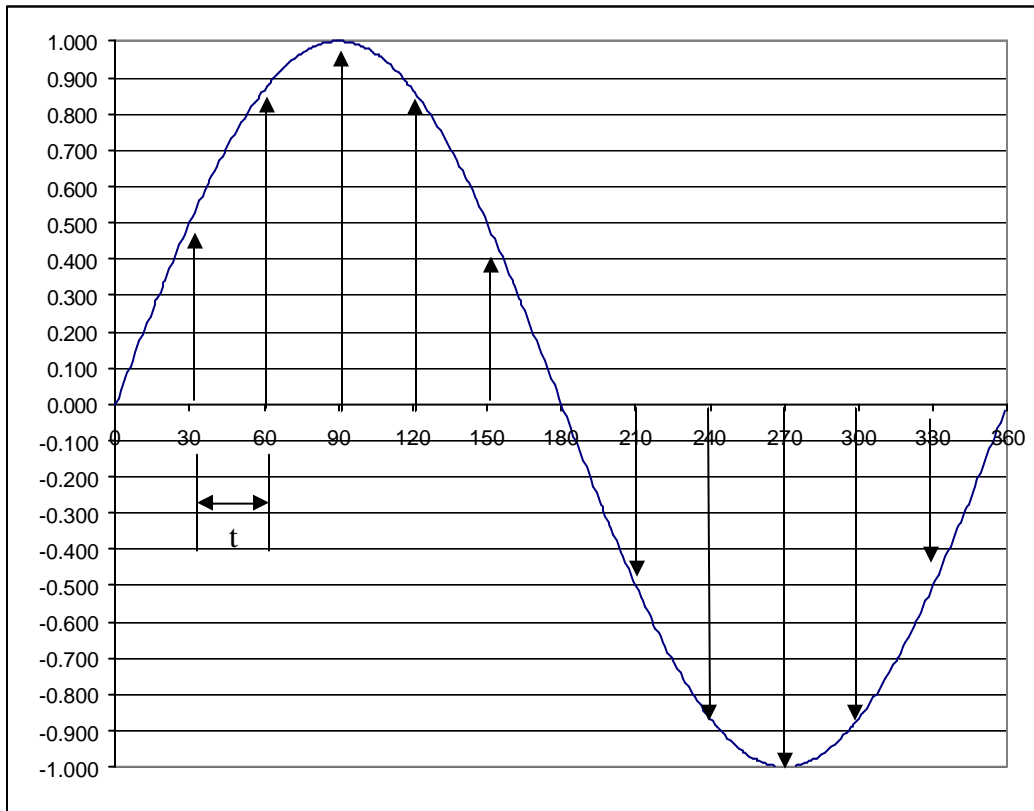
$$g_3 = \begin{cases} 1, & \text{jika } M.\sin(\omega t) \geq -\text{sgt}(\omega t) \\ 0, & \text{lainnya} \end{cases} \quad (7)$$

Berdasarkan persamaan (2) dan (4), maka pembangkitan sinyal PWM sinusoida satu fasa dapat dilakukan dengan menggunakan 2 buah sinyal sinus ( $\sin(\omega t)$  dan  $-\sin(\omega t)$ ) dan 1 sinyal segitiga. Sedangkan berdasarkan persamaan (2) dan (7), pembangkitan sinyal PWM sinusoida satu fasa dapat dilakukan dengan menggunakan 1 sinyal sinus ( $\sin(\omega t)$ ) dan 2 sinyal segitiga ( $\text{sgt}(\omega t)$  dan  $-\text{sgt}(\omega t)$ ). Metode kedua akan digunakan pada tesis ini.

### 3. Pembangkitan Sinyal PWM Sinusoida Satu Fasa Secara Digital

Karena FPGA bekerja secara digital, maka sinyal sinus dan segitiga juga harus direpresentasikan secara digital. Sebuah ilustrasi proses pendigitalan sinyal  $\sin(x)$  yang dicuplik dengan frekuensi 12 kali frekuensi dasarnya ditunjukkan pada gambar 3. Dalam hal ini, satu periode sinus dibagi menjadi 12 bagian. Nilai diskret sinyal sinus tiap bagian pencuplikan ditunjukkan pada nilai aktual tabel. 2. Nilai aktual ini selanjutnya dikuantisasi dan disandikan. Pada kasus ini nilai sinyal sinus diskret dinyatakan dengan sandi 8 bit, dengan 1 MSB sebagai bit tanda dan 7 bit

lainnya untuk menyatakan magnitudonya. Nilai 1 pada bit tanda menunjukkan nilai positif dan bit tanda 0 menunjukkan nilai negatif.



Gambar 3. Proses pencuplikan, kuantisasi dan penyandian sinyal  $\sin(x)$ .

Tabel 2. Nilai diskret, level kuantisasi dan sandi 8 bit dari sinyal  $\sin(x)$  yang tiap periodenya dicuplik 12 bagian.

Alamat (Desimal)	Alamat (Biner) $A_3A_2A_1A_0$	x	Nilai Aktual	Level Kuantisasi	Bit Tanda	Sandi 8 bit $D_7D_6D_5D_4D_3D_2D_1D_0$
0	0000	0	0,000	0	1	1 0 0 0 0 0 0 0
1	0001	30	0,500	64	1	1 1 0 0 0 0 0 0
2	0010	60	0,866	110	1	1 1 1 0 1 1 1 1
3	0011	90	1,000	127	1	1 1 1 1 1 1 1 1
4	0100	120	0,866	110	1	1 1 1 0 1 1 1 1
5	0101	150	0,500	64	1	1 1 0 0 0 0 0 0
6	0110	180	0,000	0	1	1 0 0 0 0 0 0 0
7	0111	210	-0,500	-64	0	0 1 0 0 0 0 0 0
8	1000	240	-0,866	-110	0	0 1 1 0 1 1 1 1
9	1001	270	-1,000	-127	0	0 1 1 1 1 1 1 1
10	1010	300	-0,866	-110	0	0 1 1 0 1 1 1 1
11	1011	330	-0,500	-64	0	0 1 0 0 0 0 0 0



Realisasi tabel 2 pada sistem digital, dapat dilakukan dengan membuat rangkaian dekoder yang memetakan alamat dan sandi 8 bit. Dengan menerapkan operasi *sum of product*, hubungan antara  $D_7$  dan alamat dapat dinyatakan sebagai berikut:

$$D_7 = \bar{A}_3\bar{A}_2\bar{A}_1\bar{A}_0 + \bar{A}_3\bar{A}_2\bar{A}_1A_0 + \bar{A}_3\bar{A}_2A_1\bar{A}_0 + \bar{A}_3\bar{A}_2A_1A_0 + A_3\bar{A}_2\bar{A}_1\bar{A}_0 + A_3\bar{A}_2\bar{A}_1A_0 + A_3\bar{A}_2A_1\bar{A}_0 + A_3\bar{A}_2A_1A_0$$

Dengan penyederhanaan menggunakan metode peta Karnaugh, maka diperoleh  $D_7$  sebagai berikut:

$$D_7 = \bar{A}_3\bar{A}_2 + \bar{A}_3\bar{A}_1 + \bar{A}_3\bar{A}_0 = \bar{A}_3(\bar{A}_2 + \bar{A}_1 + \bar{A}_0)$$

Prosedur yang sama dilakukan untuk penyederhanaan  $D_6$ ,  $D_5$ ,  $D_4$ ,  $D_3$ ,  $D_2$ ,  $D_1$  dan  $D_0$ .

Proses yang telah dijelaskan di atas adalah proses pendigitalan sinyal yang dicuplik menjadi 12 bagian dan disandikan dengan 8 bit. Pada proses penyederhanaan gerbang tersebut, persoalan penyederhanaan gerbang yang diselesaikan adalah sistem dengan 4 variabel input dan 8 variabel output. Jika sinyal sinus dan segitiga dicuplik menjadi 256 bagian, maka persoalan di atas akan berkembang menjadi persoalan penyederhanaan sistem dengan 8 variabel input dan 8 variabel output, dan begitu seterusnya.

Proses pendigitalan yang sama dilakukan pada sinyal  $\text{sgt}(x)$ . Semakin tinggi frekuensi sinyal pencuplikan maka semakin teliti proses pengkuantisasian dan penyandian sinyal, akan tetapi memerlukan jumlah gerbang digital yang lebih banyak. Pada tesis ini sinyal sinus dicuplik menjadi 360 bagian, sehingga sistem yang

harus diselesaikan adalah penyederhanaan dengan 9 variabel input dan 8 variabel output.

Setelah semua sinyal sinus dan segitiga direalisasikan dalam rangkaian gerbang digital, maka operasi pembandingan sinyal sinus dan sinyal segitiga dapat dilakukan. Operasi pembandingan 1 bit dilakukan pada  $D_6$  sampai  $D_0$  untuk memperoleh hasil pembandingan magnitudo data sinus dan data segitiga.  $D_7$  tidak dibandingkan tetapi sebagai bit tanda. Operasi pembandingan tersebut memberikan beberapa kemungkinan seperti ditunjukkan tabel 3.

Tabel 3. Operasi pembandingan magnitudo sandi sinus dan sandi segitiga.

$D_6$			$D_5$			$D_4$			$D_3$			$D_2$			$D_1$			$D_0$			Komparator  A  &  B		
>	=	<	>	=	<	>	=	<	>	=	<	>	=	<	>	=	<	>	=	<	>	=	<
0	1	0	0	1	0	0	1	0	0	1	0	0	1	0	0	1	0	0	1	0	0	1	0
0	1	0	0	1	0	0	1	0	0	1	0	0	1	0	0	1	0	1	0	0	1	0	0
0	1	0	0	1	0	0	1	0	0	1	0	0	1	0	1	0	0	d	d	d	1	0	0
0	1	0	0	1	0	0	1	0	0	1	0	1	0	0	d	d	d	d	d	d	1	0	0
0	1	0	0	1	0	0	1	0	1	0	0	d	d	d	d	d	d	d	d	d	1	0	0
0	1	0	0	1	0	1	0	0	d	d	d	d	d	d	d	d	d	d	d	d	1	0	0
0	1	0	1	0	0	d	d	d	d	d	d	d	d	d	d	d	d	d	d	d	1	0	0
1	0	0	d	d	d	d	d	d	d	d	d	d	d	d	d	d	d	d	d	d	1	0	0
0	0	1	d	d	d	d	d	d	d	d	d	d	d	d	d	d	d	d	d	d	0	0	1
0	1	0	0	0	1	d	d	d	d	d	d	d	d	d	d	d	d	d	d	d	0	0	1
0	1	0	0	1	0	0	0	1	d	d	d	d	d	d	d	d	d	d	d	d	0	0	1
0	1	0	0	1	0	0	1	0	0	0	1	d	d	d	d	d	d	d	d	d	0	0	1
0	1	0	0	1	0	0	1	0	0	1	0	0	0	1	d	d	d	d	d	d	0	0	1
0	1	0	0	1	0	0	1	0	0	1	0	0	1	0	0	0	1	d	d	d	0	0	1
0	1	0	0	1	0	0	1	0	0	1	0	0	1	0	0	1	0	0	0	1	0	0	1

Keterangan:

A : Sandi Sinus

B : Sandi Segitiga

d : Kondisi bebas (*don't care*)

0 : Tidak

1 : Ya

Jika pembandingan magnitudo data sudah diketahui maka hasil keluaran akhir ditentukan oleh pembandingan bit tanda dengan tabel kebenaran sebagai berikut:

Tabel 4. Perbandingan magnitudo dan bit tanda.

Perbandingan Magnitudo Data			A & B	Bit Tanda A	Bit Tanda B	A>=B
A > B	A = B	A < B				
0	1	0		d	d	1
1	0	0		1	d	1
1	0	0		0	d	0
0	0	1		d	0	1
0	0	1		d	1	0

Keterangan:

A : Sandi Sinus

B : Sandi Segitiga

d : Kondisi bebas (*don't care*)

0 : Tidak

1 : Ya

Berdasarkan tabel 3 dan tabel 4 operasi perbandingan data sinus dan data segitiga secara digital direalisasikan dalam bentuk rangkaian logika. Kombinasi perbandingan data sinus dan segitiga untuk memperoleh sinyal pembangkit PWM sinusoida  $g_1$ ,  $g_2$ ,  $g_3$  dan  $g_4$  sama seperti pembangkitan sinyal PWM sinusoida secara analog.

#### 4. FPGA (*Field Programmable Gate Array*) Xilinx

Prinsip dasar dari pemrograman atau pengkonfigurasian FPGA Xilinx ini adalah pengubahan gambar untai elektronik digital dari perangkat lunak penggambar OrCAD menjadi file aliran bit (*bit stream*) dan dikonfigurasi (*download*) ke dalam IC FPGA Xilinx .

Pada tesis ini digunakan XC4013 yang mempunyai parameter seperti pada tabel 5 berikut.

Tabel 5. Parameter-parameter FPGA Xilinx XC4013

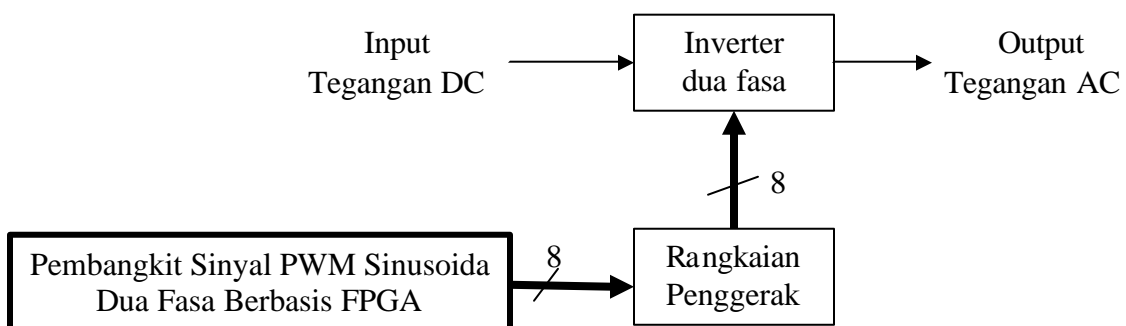
PARAMETER	XC4013
jumlah gerbang	13.000
jumlah CLB	576
jumlah Flip-flop	1.536
jumlah max IOB	192

### D. Jalannya Penelitian

Langkah-langkah yang telah diambil pada pelaksanaan penelitian meliputi perancangan perangkat lunak, pengujian secara simulasi, konfigurasi rancangan ke perangkat keras sistem FPGA Xilinx XC4013, pengujian, pengumpulan data dan analisis pembangkit sinyal PWM Sinusoida dua fasa yang diimplementasikan dengan FPGA XC4013.

### Perancangan Pembangkit Sinyal PWM Sinusoida Dua Fasa

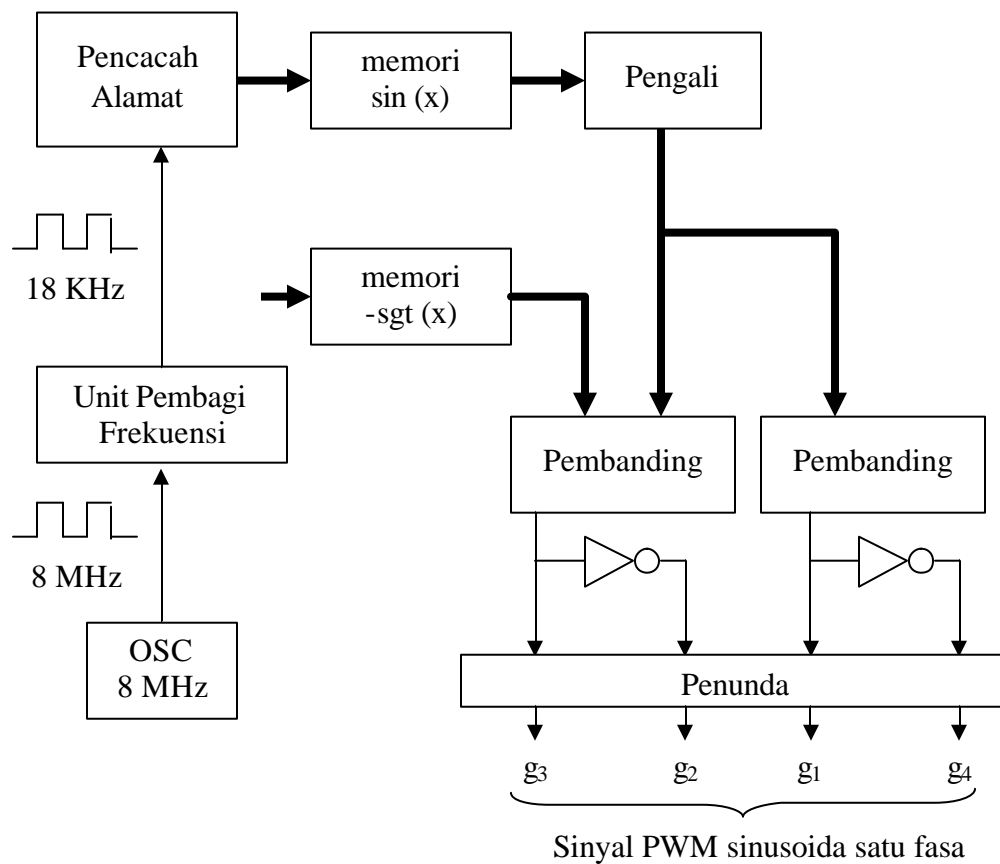
Diagram kotak inverter PWM sinusoida dua fasa berbasis FPGA dapat digambarkan seperti gambar 4. Kotak dengan garis tebal merupakan sistem yang akan dirancang pada tesis ini.



Gambar 4. Diagram kotak inverter pwm sinusoida dua fasa berbasis FPGA.

Pembangkit sinyal PWM sinusoida dua fasa pada dasarnya adalah dua buah pembangkit sinyal PWM sinusoida satu fasa. Diagram kotak pembangkit sinyal PWM sinusoida satu fasa dapat digambarkan seperti gambar 5.

Secara garis besar, rancangan rangkaian pembangkit sinyal PWM sinusodia di atas dibagi menjadi 8 unit seperti ditunjukkan gambar 5, yaitu: unit pembagi frekuensi, unit pencacah alamat, unit memori sinus ( $x$ ), unit memori sinus ( $x+90^\circ$ ), unit memori segitiga( $x$ ), unit pengali, unit pembanding dan unit penunda.



Gambar 5. Diagram kotak pembangkit sinyal PWM sinusodia satu fasa.

Rangkaian FPGA, catu daya 5 volt dan soket EPROM penyimpan data konfigurasi sudah tersedia dari Peneliti sebelumnya. Rangkaian input dirancang menggunakan saklar dan resistor dengan konfigurasi *pull down*. Posisi on saklar

menghasilkan logika “1” sedangkan posisi off menghasilkan logika “0”. Rangkaian ini digunakan untuk memberikan masukan ke pembangkit PWM.

Pin pin FPGA yang digunakan dalam rangkaian pembangkit sinyal PWM Sinusoida dua fasa ini berjumlah 32 buah yang terdiri dari 20 masukan dan 12 keluaran. Penggunaan pin pin tersebut seperti pada tabel 6 berikut.

Tabel 6. Penggunaan pin pada FPGA

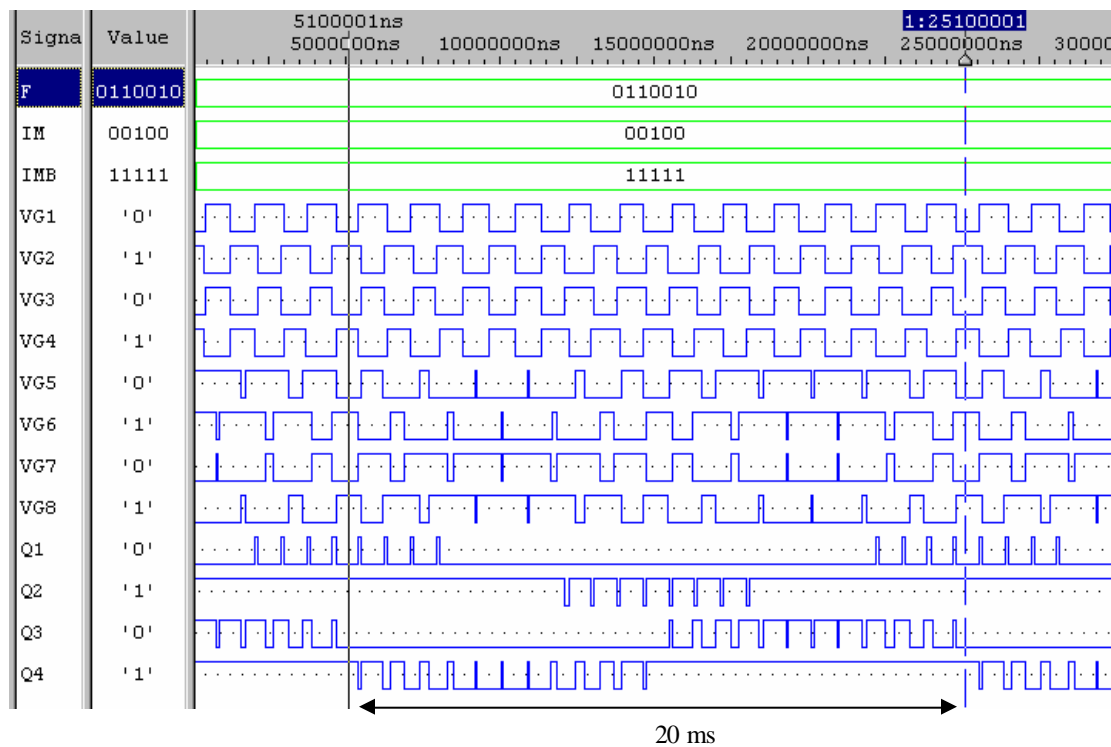
Nama Pin	Nomer Pin Pada FPGA	Nama Pin	Nomer Pin Pada FPGA
Frek_0	J17	Idx_mdb2	C10
Frek_1	V8	Idx_mdb3	A9
Frek_2	H1	Idx_mdb4	A6
Frek_3	C8	Idmd_inb	L18
Frek_4	C1	Q1	U10
Frek_5	H4	Q2	R11
Frek_in	L2	Q3	U5
Clr_PWM	G1	Q4	J16
Enable	L15	VG1	C11
Idx_md0	T11	VG2	A14
Idx_md1	U12	VG3	C6
Idx_md2	J18	VG4	A2
Idx_md3	T15	VG5	G15
Idx_md4	H17	VG6	U8
Idmd_in	L16	VG7	U9
Idx_mdb0	A8	VG8	V7
Idx_mdb1	B9		

#### E. Hasil Implementasi Pembangkit Sinyal PWM Sinusoida Dua Fasa dengan FPGA XC4013

Hasil simulasi rancangan pembangkit PWM sinusoida dua fasa secara keseluruhan seperti pada gambar 6.

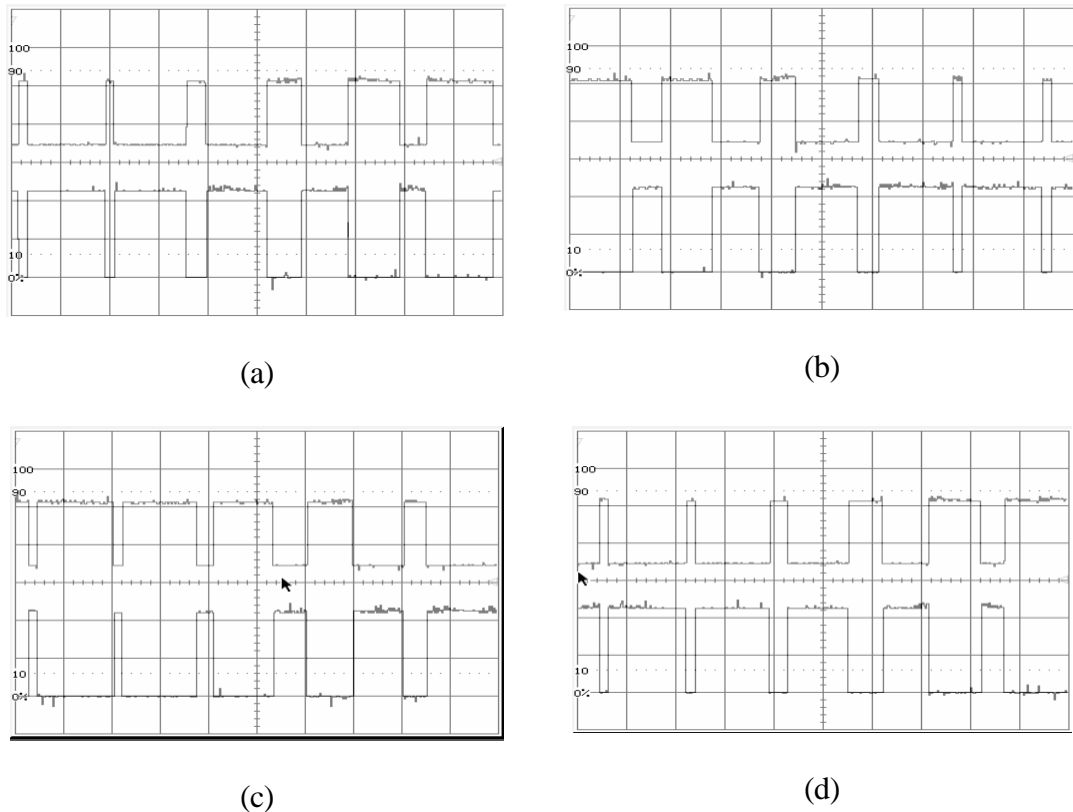
Pada simulasi ini dilakukan dengan IM fase ke-1= 00100b (=0+0+0,125+0 +0 = 0,125) dan IM fase ke-2 =11111b (= 0,5+0,25+0,125+0,0625+0,03125 = 0,96875)

dan dengan frekuensi 50 Hz. Hasil simulasi menunjukkan bahwa periode sinyal PWM yang dihasilkan adalah sebesar  $(25100001-5100001\text{ns}) = 20\text{ ms}$  atau sama dengan frekuensi sebesar 50 Hz.



Gambar 6. Simulasi sinyal PWM keseluruhan.

Pengamatan sinyal PWM sinusoida dua fasa dalam konfigurasi perangkat keras sistem FPGA XC4013 PG223-5 dilakukan dengan mengamati pin output sesuai tabel 6 dengan osiloskop dengan tujuan untuk mengetahui apakah pasangan sinyal pembangkit PWM ada yang sempat “ON” bersamaan atau tidak, dan apakah transisi “ON-OFF” pasangan sinyal pembangkit PWM berhasil dibuat tunda. Untuk mengetahui hal ini maka diamati sinyal keluaran VG<sub>1</sub> dan VG<sub>4</sub>, VG<sub>2</sub> dan VG<sub>3</sub>, VG<sub>5</sub> dan VG<sub>8</sub>, serta VG<sub>6</sub> dan VG<sub>7</sub>.

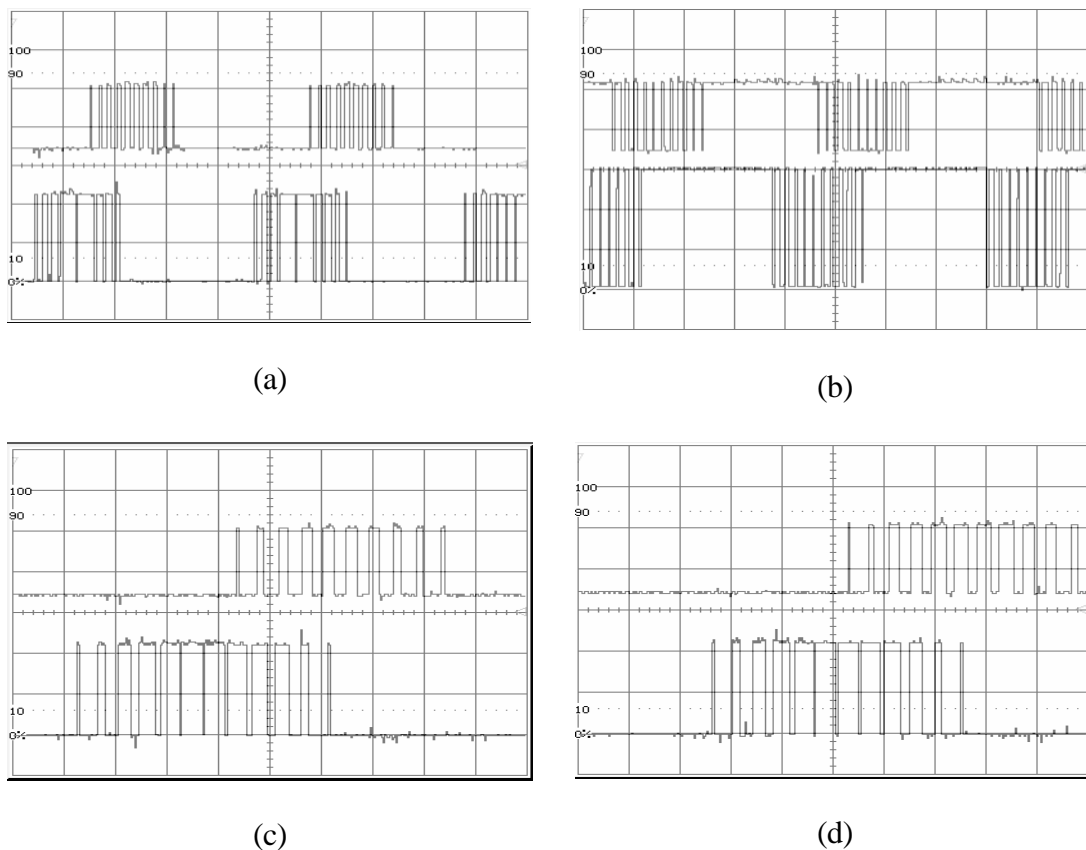


Gambar 7. (a). Hasil pengamatan keluaran  $VG_1$  dan  $VG_4$   
 (b). Hasil pengamatan keluaran  $VG_2$  dan  $VG_3$   
 (c). Hasil pengamatan keluaran  $VG_5$  dan  $VG_8$   
 (d). Hasil pengamatan keluaran  $VG_6$  dan  $VG_7$

Berdasarkan gambar 7 terlihat pada semua pasangan pembangkit sinyal PWM sinusoida dua fasa tak ada yang sempat “ON” bersamaan dan terlihat pula bahwa terdapat jeda waktu transisi “ON-OFF” pada semua pasangan pembangkit sinyal PWM tersebut.

Selain itu juga akan diamati keluaran Q1 dan Q3, dan juga sinyal keluaran Q2 dan Q4 untuk mengetahui pengaruh pengaturan indeks modulasi kepada lebar pulsa PWM yang dihasilkan dan untuk mengetahui apakah fasa satu dan fasa dua telah berhasil dibuat berbeda fasa  $90^\circ$ .





Gambar 8. (a). Hasil pengamatan keluaran Q1 dan Q3  
 (b). Hasil pengamatan keluaran Q2 dan Q4  
 (c). Hasil pengamatan keluaran Q1 dengan IM=0,5 dan Q3 dengan IM=0,96875  
 (d). Hasil pengamatan keluaran Q1 dengan IM=0,75 dan Q3 dengan IM=0,96875

Berdasarkan gambar 8 terlihat bahwa antara fasa satu dan fasa dua mempunyai perbedaan fasa  $90^0$ . Ini artinya rancangan dapat bekerja sesuai dengan yang diharapkan agar mempunyai beda fasa fasa  $90^0$ .

Pengamatan terhadap bentuk dan besar tegangan bolak-balik keluaran inverter yang dihasilkan dari proses penyaklaran oleh sinyal-sinyal penggerak dilakukan secara simulasi, mengamati sinyal PWM keluaran FPGA dan sinyal PWM keluaran FPGA tertapis pelewat rendah. Untuk mengetahui pola tegangan hasil penyaklaran, dilakukan pengamatan pada terminal Q<sub>1</sub>, Q<sub>2</sub>, Q<sub>3</sub> dan Q<sub>4</sub> seperti ditunjukkan tabel 7.

Tabel 7. Jumlah dan lebar pulsa tegangan keluaran pada indeks modulasi berbeda.

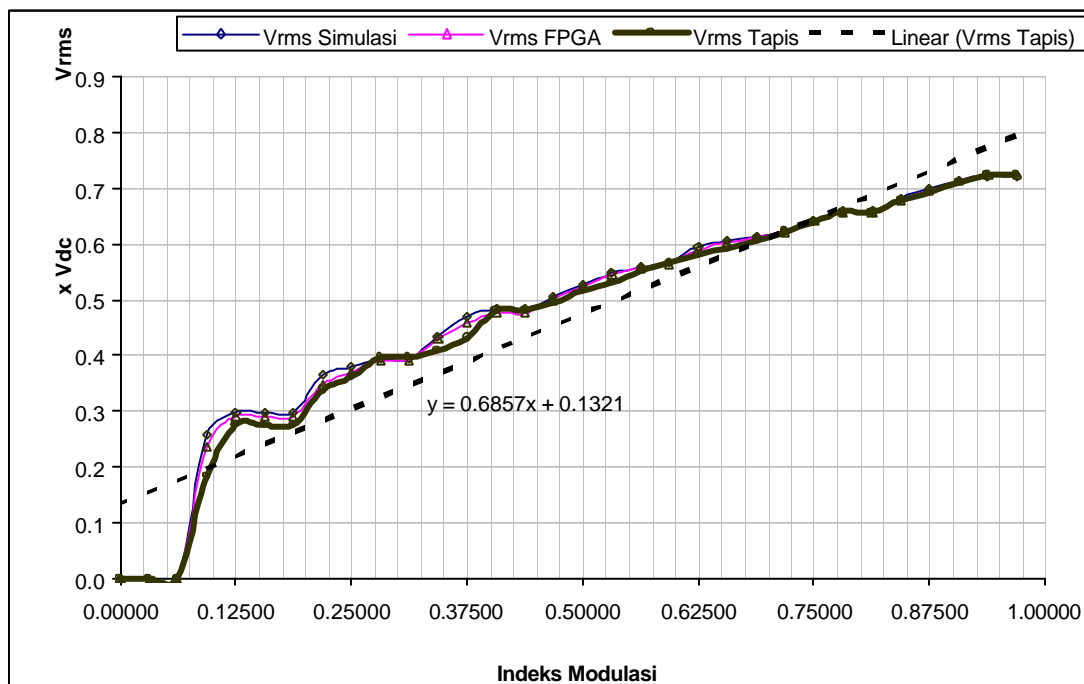
Indeks Modulasi (M)	Tegangan Efektif ( $V_{rms}$ ) pada $V_{AB}$ dan $V_{CD}$ hasil simulasi	Tegangan Efektif ( $V_{rms}$ ) pada $V_{AB}$ dan $V_{CD}$ keluaran FPGA	Tegangan Efektif ( $V_{rms}$ ) pada $V_{AB}$ dan $V_{CD}$ keluaran pentapisan LPF
0,00000	$0,000000 \times V_{DC}$	$0,000000 \times V_{DC}$	$0,000000 \times V_{DC}$
0,03125	$0,000000 \times V_{DC}$	$0,000000 \times V_{DC}$	$0,000000 \times V_{DC}$
0,06250	$0,000000 \times V_{DC}$	$0,000000 \times V_{DC}$	$0,000000 \times V_{DC}$
0,09375	$0,258199 \times V_{DC}$	$0,237835 \times V_{DC}$	$0,183850 \times V_{DC}$
0,12500	$0,298142 \times V_{DC}$	$0,291288 \times V_{DC}$	$0,275774 \times V_{DC}$
0,15625	$0,298142 \times V_{DC}$	$0,291288 \times V_{DC}$	$0,275774 \times V_{DC}$
0,18750	$0,298142 \times V_{DC}$	$0,291288 \times V_{DC}$	$0,275774 \times V_{DC}$
0,21875	$0,365148 \times V_{DC}$	$0,348155 \times V_{DC}$	$0,339415 \times V_{DC}$
0,25000	$0,380058 \times V_{DC}$	$0,370640 \times V_{DC}$	$0,360628 \times V_{DC}$
0,28125	$0,394405 \times V_{DC}$	$0,391836 \times V_{DC}$	$0,395984 \times V_{DC}$
0,31250	$0,408252 \times V_{DC}$	$0,391836 \times V_{DC}$	$0,395984 \times V_{DC}$
0,34375	$0,434613 \times V_{DC}$	$0,431113 \times V_{DC}$	$0,410126 \times V_{DC}$
0,37500	$0,471405 \times V_{DC}$	$0,458368 \times V_{DC}$	$0,431339 \times V_{DC}$
0,40625	$0,483046 \times V_{DC}$	$0,475671 \times V_{DC}$	$0,480837 \times V_{DC}$
0,43750	$0,494409 \times V_{DC}$	$0,475671 \times V_{DC}$	$0,480837 \times V_{DC}$
0,46875	$0,505525 \times V_{DC}$	$0,500505 \times V_{DC}$	$0,494979 \times V_{DC}$
0,50000	$0,527046 \times V_{DC}$	$0,524164 \times V_{DC}$	$0,516193 \times V_{DC}$
0,53125	$0,547723 \times V_{DC}$	$0,546800 \times V_{DC}$	$0,530335 \times V_{DC}$
0,56250	$0,557773 \times V_{DC}$	$0,557773 \times V_{DC}$	$0,551549 \times V_{DC}$
0,59375	$0,567646 \times V_{DC}$	$0,564971 \times V_{DC}$	$0,565691 \times V_{DC}$
0,62500	$0,596285 \times V_{DC}$	$0,589470 \times V_{DC}$	$0,579833 \times V_{DC}$
0,65625	$0,605530 \times V_{DC}$	$0,603023 \times V_{DC}$	$0,593975 \times V_{DC}$
0,68750	$0,614636 \times V_{DC}$	$0,612991 \times V_{DC}$	$0,608118 \times V_{DC}$
0,71875	$0,623610 \times V_{DC}$	$0,622799 \times V_{DC}$	$0,622260 \times V_{DC}$
0,75000	$0,641179 \times V_{DC}$	$0,641967 \times V_{DC}$	$0,639938 \times V_{DC}$
0,78125	$0,658281 \times V_{DC}$	$0,657513 \times V_{DC}$	$0,657616 \times V_{DC}$
0,81250	$0,658281 \times V_{DC}$	$0,657513 \times V_{DC}$	$0,657616 \times V_{DC}$
0,84375	$0,683130 \times V_{DC}$	$0,678680 \times V_{DC}$	$0,678829 \times V_{DC}$
0,87500	$0,699206 \times V_{DC}$	$0,696311 \times V_{DC}$	$0,692971 \times V_{DC}$
0,90625	$0,714920 \times V_{DC}$	$0,713506 \times V_{DC}$	$0,710649 \times V_{DC}$
0,93750	$0,722649 \times V_{DC}$	$0,724743 \times V_{DC}$	$0,724791 \times V_{DC}$
0,96875	$0,722649 \times V_{DC}$	$0,724743 \times V_{DC}$	$0,724791 \times V_{DC}$

Terminal-terminal ini mengeluarkan sinyal yang dianalogikan dengan hasil penyaklaran oleh sinyal-sinyal penggerak yang terjadi pada inverter. Besarnya indeks modulasi ditentukan oleh kombinasi saklar dip-sw. Berdasarkan gambar 9, pada rentang indeks modulasi 0,12500 – 0,96875 grafik  $V_{rms}$  cenderung linear terhadap

perubahan indeks modulasi. Persamaan fungsi  $V_{rms}$  terhadap indeks modulasi jika dicari dengan pendekatan regresi linear menghasilkan persamaan fungsi sebagai berikut:

$$V_{rms} = 0,6857 x + 0,1321 \quad (4)$$

Hasil tersebut menunjukkan tegangan bolak-balik dapat bervariasi dari  $0,18 \times V_{DC}$  sampai  $0,72 \times V_{DC}$  dengan tingkat perubahan rata-rata  $0,04 \times V_{DC}$ .



Gambar 9. Grafik  $V_{rms}$  terhadap indeks modulasi.

Pengujian frekuensi sinyal PWM dilakukan langsung pada sinyal penggerak keluaran FPGA yang telah dikonfigurasi sebagai pembangkit sinyal PWM dan keluaran sinyal PWM sinusoida tertapis pelewat rendah. Nilai frekuensi yang

diinginkan dimasukkan melalui Dip-Sw, yaitu saklar yang difungsikan sebagai data frekuensi. Hasil pengujian ditunjukkan pada tabel 8.

Tabel 8. Hasil Pengukuran frekuensi sinyal PWM.

Set Point	Frekuensi PWM keluaran FPGA	Frekuensi sinyal PWM sinusoida tertapis pelewat rendah
41	46,30	45,87
42	47,17	47,16
43	48,08	48,07
44	49,50	49,01
45	50,50	50,50
46	51,55	51,54
47	52,63	52,63
48	54,35	53,76
49	55,55	54,34
50	56,81	56,17
51	57,47	57,47
52	58,82	58,13
53	59,52	59,52
54	60,97	60,97
55	61,72	61,72

Tabel 9. Frekuensi osilator sesungguhnya berdasar pengukuran.

Set Point	Frekuensi sinyal PWM (f)	Frekuensi sinyal PWM tertapis (f)	Data Pembagi (n)	Frekuensi osilator (MHz) berdasar keluaran sinyal PWM sinusoida ( $OSC = f \times p \times 2 \times 360$ )	Frekuensi osilator (MHz) berdasar keluaran sinyal PWM sinusoida tertapis pelewat rendah ( $OSC = f \times p \times 2 \times 360$ )
41	46,30	45,87	271	9,03	8,95
42	47,17	47,16	264	8,97	8,96
43	48,08	48,07	258	8,93	8,92
44	49,50	49,01	252	8,98	8,89
45	50,50	50,50	247	8,98	8,98
46	51,55	51,54	242	8,98	8,98
47	52,63	52,63	236	8,94	8,94
48	54,35	53,76	231	9,04	8,94
49	55,55	54,34	227	9,08	8,88
50	56,81	56,17	222	9,08	8,97
51	57,47	57,47	218	9,02	9,02
52	58,82	58,13	214	9,06	8,95
53	59,52	59,52	210	9,00	8,99
54	60,97	60,97	206	9,04	9,04
55	61,72	61,72	202	8,98	8,97
				OSC rata-rata = 9,01 MHz	OSC rata-rata = 8,96 MHz

Berdasarkan tabel 8, jika dihitung frekuensi osilator internal yang sesungguhnya adalah sebagaimana tabel 9. Berdasarkan perhitungan pada tabel 9, diperoleh hasil bahwa frekuensi internal 8 MHz pada XC4013 yang dipakai pada penelitian ini ternyata mempunyai frekuensi 8,96 MHz.

Dengan asumsi frekuensi osilator internal pada FPGA adalah 8,96 MHz, maka jika rancangan pembangkit sinyal PWM sinusoida dua fasa diinginkan mempunyai frekuensi dasar 50 Hz, unit pembagi frekuensi terprogram yang dirancang pada tesis ini dapat diganti dengan rangkaian pencacah asinkron mod-498 ( $8,96 \text{ MHz} / 18 \text{ KHz}$ ) sebagai pembagi frekuensinya. Jika unit pembagi frekuensi diganti dengan pencacah asinkron mod-498, maka frekuensi dasar sinyal PWM yang dihasilkan secara teoritis adalah 49,99 Hz ( $8,96 \text{ MHz} / (498 \times 360)$ ).

## F. Kesimpulan

1. Pembangkit sinyal PWM sinusoida dua fasa yang dirancang dapat dikonfigurasi secara perangkat keras pada sistem FPGA seri XC4013 dan membutuhkan 572 CLB atau sebesar 99%.
2. Implementasi pembangkit sinyal PWM sinusoida dua fasa dalam wujud perangkat keras sistem FPGA XC4013 dapat bekerja sesuai yang diharapkan. Fasa kesatu dan kedua mempunyai beda fasa  $90^\circ$ . Frekuensi dasar sinyal PWM 50 Hz dapat dicapai dengan tingkat ketelitian 99%. Frekuensi dasar sinyal PWM 50 Hz ini dapat didekati oleh *setpoint* frekuensi 45 Hz yang menghasilkan frekuensi terukur 50,50 Hz.
3. Tegangan efektif ( $V_{\text{rms}}$ ) keluaran inverter hasil penyaklaran oleh sinyal-sinyal penggerak pada rentang indeks modulasi 0,12500-0,96875 menghasilkan grafiks

$V_{rms}$  yang cenderung linear terhadap perubahan indeks modulasi. Tegangan efektif sinyal PWM sinusoida dapat bervariasi dari  $0,18 \times V_{DC}$  hingga  $0,72 \times V_{DC}$ . Persamaan fungsi  $V_{rms}$  terhadap indeks modulasi dengan pendekatan regresi linear adalah  $y = 0,6857 x + 0,1321$ .

4. Frekuensi osilator internal 8 MHz menghasilkan frekuensi osilator 8,96 MHz atau mempunyai tingkat kesalahan 12,048 %.

## DAFTAR PUSTAKA

- Baronti, F., etc., 2003, *DC/DC Switching Power Converter with Radiation Hardened Digital Control based on SRAM FPGAs*, Department of Information Engineering, University of Pisa, Pisa.
- Bejo, A, 2004, *Kendali Kecepatan Motor Induksi Satu Fase Dengan Inverter PWM Berbasis Mikrokontroler dan FPGA*, UGM, Yogyakarta.
- Chan, P.K., and Mourad., S., 1994, *Digital Design Using Field Programmable Gate Arrays*, Prentice-Hall, New Jersey.
- Dewan, S.B., Slemon, G.R., and Straughen, A., 1984, *Power Semiconductor Circuits*, John Wiley and Sons, Inc., Toronto.
- Floyd., T.L., 1997, *Digital Fundamentals*, International Edition, 6<sup>th</sup> Edition, Prentice-Hall, New Jersey.
- Guilberto, J., etc., *An Autonomous Robot with Reconfigurable Hardware and RT Linux. For Fire-Fighting*, Intelligent Systems and Robotics Group, Electrical Engineering Department, New Mexico Institute of Mining and Technology, New Meksiko.
- Gendroyono, P., 1999, *Sistem Penggerak Motor Induksi Dengan Beban Berubah Menggunakan Inverter PWM Berbasis Mikrokontroler*, UGM, Yogyakarta.
- Kusumawardani, S., 2001, *Implementasi Sandi BCH (15,5) dengan FPGA XC4013*, Universitas Gadjah Mada, Yogyakarta.
- Lazic, M., and Skender, M., 2000, *Generating Driving signal for Three Phases Inverter by Digital Timing Functions*, Facta Universitatis (NIS) Series: Electronics and Energetics, Vol. 13, No. 3, Desember, Hal: 353-364.
- Lee, Samuel. C., 1976, *Digital Circuit and Logic Design*, Prentice-Hall, New Jersey.
- Li , H. and Jiang, Q., 1999, *Design of a FPGA Controller for Full Bridge Phase-Shifted Zero Voltage Switching DC/DC Power Converters*, School of Communications and Informatics, Victoria University, Melbourne City.
- Marco, A., Sanvido, A., and Schaufelberger, W., 2001, *Design Of A Framework for Hardware-In-The-Loop Simulations and Its Application to a Model Helicopter*, Automatic Control Laboratory, ETH, Zurich.

- Mohan, N., Undeland, T.M., and Robbins, W.P., 1995. *Power Electronics, Converters, Applications, and Design*, Second Edition, John Wiley & Sons, Singapore.
- Pascual, C., etc., 2002, *High-Fidelity PWM Inverter for Audio Amplification Based On Real-Time DSP*, University of Illinois, Department of Electrical and Computer Engineering, Urbana, Illinois.
- Rashid, M.H., 1993, *Power Electronics Circuits, Devices, and Applications*, Second Edition, Prentice-Hall International, Inc., London.
- Ritter, G., Puiatti, J.M., and Sanchez, E., 2003, *Leonardo and Discipulus Simplex: An Autonomous, Evolvable Six-Legged Walking Robot*, Logic System Laboratory, Swiss Federal Institute of Technology, Lausanne.
- Sen, P.C., 1989, *Principles of Electric Machines and Power Electronics*, John Wiley and Sons, Inc., New York.
- Sutrisno, Budi., 1999, *Pengendalian Kecepatan Putar Motor Induksi 3-Fasa dengan PWM Berbasis Mikrokontroler 68HC11*, UGM, Yogyakarta.
- Taib, S., Zaki, M., Rahman, M., 2000, *Development of A Simple PWM Switching For Power Electronic Applications*, Proceeding Seminar Elektrik dan Elektronika Daya, UGM, Yogyakarta
- Takahashi, T., 2002, *New Digital Hardware Control Method for High Performance AC Servo Motor Drive–Accelerator™ Servo Drive Development Platform for Military Application*, As presented at Military Electronics Conference, Sept 24-25, International Rectifier (IR).
- Tocci, R.J., 1985, *Digital Systems Principles and Applications*, third Edition, Prentice-Hall, New Jersey.
- Zaki, A., 2001, *Sistem Pembangkit Sinyal PWM Berbasis FPGA Pada Inverter Penggerak Motor Induksi 3 Fase*, UGM, Yogyakarta.
- ....., 1998, *OrCAD Capture User's Guide*, Beaverton.
- ....., 1992, *XACT Libraries Guide*, Xilinx, USA.
- ....., 1990, *XACT Macro Libraries*, Xilinx, USA.
- ....., 1992, *Xilinx The Programmable Logic Data Book*, Xilinx, USA.